

⑫ 公開特許公報(A) 平3-283176

⑮ Int. Cl.⁵
G 11 C 11/22識別記号 庁内整理番号
8522-5L

⑬ 公開 平成3年(1991)12月13日

審査請求 未請求 請求項の数 2 (全31頁)

⑭ 発明の名称 強誘電体メモリ

⑯ 特 願 平2-84680

⑰ 出 願 平2(1990)3月30日

⑱ 発 明 者	豊 田	啓	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑱ 発 明 者	阿 部	和 秀	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑱ 発 明 者	山 川	晃 司	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑱ 発 明 者	今 井	基 真	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
⑲ 出 願 人	株 式 会 社	東 芝	神奈川県川崎市幸区堀川町72番地	
⑳ 代 理 人	弁 理 士	鈴 江 武 彦	外 3 名	

明 細 書

1. 発明の名称

強誘電体メモリ

2. 特許請求の範囲

(1) 強誘電体の分極によって1ビットの情報を記憶する強誘電体メモリにおいて、前記強誘電体を挟む一対の電極のうち、第1電極に1ビットの情報の二値の書き込みに対応する2つの電位のいずれかを与える手段を接続し、第2電極に前記二値の書き込みに対応する2つの電位間の中間もしくは略中間の電位を保持させる手段を接続したことを特徴とする強誘電体メモリ。

(2) 強誘電体の分極によって1ビットの情報を記録する強誘電体メモリにおいて、前記強誘電体を挟む一対の電極のうち、第1電極に1ビットの情報の二値の書き込みに対応する2つの電位のいずれかを印加する手段を接続し、第2電極に前記二値の書き込みに対応する2つの電位間の中間もしくは略中間の電位を保持させるか、又は前記二値の書き込みに対応する2つの電位のいずれか

を印加する手段を接続したことを特徴とする強誘電体メモリ。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、強誘電体メモリに関する。

(従来の技術)

強誘電体メモリは、近年その高集積性、高速性、不揮発性から注目を集めている。これは、強誘電体の持つ自発分極を外部から加える電界によって反転させ、その方向によって1ビットの情報を記憶させようとするものである。

強誘電体は、その印加電圧と内部に生じる自発分極との間に第23図に示すようなヒステリシス特性を有する。強誘電体に電圧 V_w を印加するとA点で示される分極を生じる。強誘電体に印加する電圧を次第に下げていき、ついに0VになってもB点で示される分極が残る。更に、逆の電圧を印加していくと電圧 $-V_w$ でC点で示される分極が生じ、この電圧を上げていき、0Vになった時に

は強誘電体にはD点で示される分極が残る。このように強誘電体においては、外部から印加する電圧が0Vの状態では強誘電体に残る分極、つまり残留分極がB点とC点の2つの状態を有することになる。これを読み出すには、例えば電圧 V_w を外部から印加すると、B点にあったものは(A-B)に相当する電流が流れるだけであるが、D点にあったものは(A-D)に相当する大きな電流が流れることになり、B点にあったか、D点にあったかを区別できることになる。この2つの状態を1ビットの情報に対応させるのが強誘電体メモリの原理である。

上述したように強誘電体メモリとして使用するには、書き込み、読み出しの際に強誘電体の分極を任意に反転させる必要がある。しかしながら、強誘電体の分極を反転させるためには強誘電体を挟む一对の電極の電位の上下関係を反対にしなければならない。即ち、第27図に示すように強誘電体11を挟む一对の電極12、13のうち第1電極12がLレベル、第2電極13がHレベル、或いはその逆

の状態を実現するためには、両電極12、13にL、Hレベルの電位がかかるようにしなければならない。例えば、J.T.EVANSらがIEEE JOURNAL OF SOLID-STATE CIRCUITS VOL.23, No.5 1988の中での“An Experimental 512bit Nonvolatile Memory with Ferroelectric Storage Cell”で示されているように強誘電体の一方の電極をFETを介してビットラインに繋げ、他方の電極をドライブラインとして各々のセンスアンプ、ドライブラインドライバに接続した強誘電体メモリが知られている。この強誘電体メモリは、ビットラインとドライブラインの電位の上下関係に従い、強誘電体の分極方向を変えるようにしている。しかしながらかかる構成ではワードラインと同じ本数だけドライブラインが必要となるばかりか、それに応じて周辺回路も複雑化するという問題がある。

一方、従来のキャパシタによるダイナミックランダムアクセスメモリ(DRAM)では、キャパシタに電荷が蓄えられているか否かで1ビットの情報を記録するため、キャパシタの一方の電極の

みをL又はHレベルの電位にすれば、他方の電極はそのいずれかの電位に固定しておくことによって、電位差を生じた時に電荷が蓄えられ、等電位の時には蓄えられない状態にすることができる。即ち、従来のキャパシタによるDRAMでは全てのメモリセルのキャパシタの電極の一方を共通にすることができ、配線が簡単である。

このように強誘電体メモリでは、分極方向を反転させるためにはメモリセルの強誘電体の電極の両方を各々独立してその電位関係が反対にできるように例えばドライバに接続する必要がある。このため、配線が従来のDRAMに比べて複雑になるという問題を生じる。これを回避するため、前述した文献には、同じワードラインに接続されているメモリセルについては強誘電体を挟み、かつFETの接続されていない電極を共通にする強誘電体メモリが記載されている。しかしながら、ある方向に分極するメモリセルを一旦分極した後、反対方向に分極するメモリセルを分極する方式を採用しているため、従来のDRAMに比べて書き

込み時間が2倍になるという問題がある。その上ワードラインの数だけその共通のラインを用意しなければならない。また、強誘電体の分極反転にはある一定の時間がかかることが知られており、前記強誘電体メモリではメモリセルが選択されてからデータが確定するまでの時間、つまりアクセスタイムが長くなるという問題がある。更に、強誘電体においては分極反転を繰り返すうちに自発分極量が減少してしまう疲労現象(ウェア・アウト)が観測され、書き替え回数が制限されるという問題があった。

(発明が解決しようとする課題)

本発明は、上記従来の問題点を解決するためになされたもので、従来のDRAMと同様な構造で強誘電体の分極反転を行うことが可能で、更にアクセスタイムが短く、長寿命の強誘電体メモリを提供しようとするものである。

[発明の構成]

(課題を解決するための手段)

本発明に関わる強誘電体メモリは、強誘電体

の分極によって1ビットの情報を記録する強誘電体メモリにおいて、前記強誘電体を挟む一対の電極のうち、第1電極に1ビットの情報の二値の書き込みに対応する2つの電位のいずれかを与える手段を接続し、第2電極に前記二値の書き込みに対応する2つの電位間の中間もしくは略中間の電位を保持させる手段を接続したことを特徴とするものである。

また、本発明に係わる別の強誘電体メモリは、強誘電体の分極によって1ビットの情報を記録する強誘電体メモリにおいて、前記強誘電体を挟む一対の電極のうち、第1電極に1ビットの情報の二値の書き込みに対応する2つの電位のいずれかを印加する手段を接続し、第2電極に前記二値の書き込みに対応する2つの電位間の中間もしくは略中間の電位を保持させるか、又は前記二値の書き込みに対応する2つの電位のいずれかを印加する手段を接続したことを特徴とするものである。

前記強誘電体としては、例えばジルコン酸チタン酸鉛(PZT)等が挙げられる。

なS/Nが得られるDRAMとして動作させることができる。この場合、強誘電体の分極方向が反転しないため、分極反転に伴うアクセスタイムの遅れや強誘電体の疲労による寿命の制限を回避できる。この際にも、従来のDRAMと同構造であるため、リフレッシュ動作、読み出し、書き込み等、全てDRAMと同一回路で実現できる。電源を落す前には、リフレッシュ動作を行った後、第2電極の電位を二値の書き込みに対応する2つの電位の中間にすれば、保持データに応じて強誘電体の分極が変化して不揮発状態で情報を記憶できる。

(実施例)

以下、本発明の実施例を図面を参照して詳細に説明する。

実施例1

第1図は、本実施例1の強誘電体メモリの回路図である。このメモリは、列方向に延びる複数のビット線対 $B_{L1}, \overline{B_{L1}}, \dots, B_{Ln}, \overline{B_{Ln}}$ と行方向に延びるワード線 W_{L1}, \dots, W_{Ln} 及び一対の

前記電極としては、例えばアルミニウム、多結晶シリコン、金属シリサイド、タングステン、白金、金等を挙げることができる。

前記第1、第2の電極に印加される電位は正電位のみならず負電位でもよい。

(作用)

本発明によれば、従来のDRAMと同様な構造、つまり強誘電体を挟む電極のうち、第2電極を全てのメモリセルについて共通にすることができるため、配線及び制御回路を簡略化できる。これは、メモリセルの集積度を向上でき、メモリセルの数が增加するほど有利である。

更に、本発明に係わる別の強誘電体メモリによれば電源の印加中に第2電極の電位を二値の書き込みに対応するいずれかと等しくする手段を付加することによって、第1、第2の電極間の上下関係が変わらないため、分極方向は変化しないが、両電極が等しい時には電荷が蓄えられず、異なる時には電荷が蓄えられるという、強誘電体の大きな誘電率を利用した小さなキャパシタ面積で十分

ダミーワード線 DWL, DWL' を有する。前記ビット線 $B_{L1}, \overline{B_{L1}}, \dots, B_{Ln}, \overline{B_{Ln}}$ と前記ワード線 W_{L1}, \dots, W_{Ln} の交差部には、1つの強誘電体コンデンサ及び1つのトランジスタからなる強誘電体メモリセルがそれぞれ接続され、前記ビット線 $B_{L1}, \overline{B_{L1}}, \dots, B_{Ln}, \overline{B_{Ln}}$ と前記ダミーワード線 DWL, DWL' の交差部には、1つの参照用常誘電体コンデンサと1つのトランジスタからなるダミーセルがそれぞれ接続されている。前記ワード線 W_{L1} 及び一方のダミーワード線 DWL を選択することにより、前記一方のビット線(例えば B_{L1})に接続されるメモリセルに対して他方のビット線(例えば $\overline{B_{L1}}$)に接続されるダミーセルが選択される。単純化するために以下、ビット線 $B_{L1}, \overline{B_{L1}}$ と前記ワード線 W_{L1}, W_{L2} の交差部に接続される2つのメモリセル、ビット線 $B_{L1}, \overline{B_{L1}}$ と前記ダミーワード線 DWL, DWL' の交差部に接続される一対のダミーセルを中心にして説明する。

一方のビット線 B_{L1} とワード線 W_{L1} の交差

部に接続されるメモリセルは、強誘電体コンデンサMC及びスイッチングトランジスタMFとから構成されている。この強誘電体コンデンサMCは、例えばスパッタ法等により成膜されたジルコニウム酸鉛からなる強誘電体層を例えば白金からなる第1、第2の電極で挟んだ構造を有する。前記コンデンサMCの第1電極は、前記スイッチングトランジスタMFを介して一方のビット線 $\overline{BL_1}$ に接続されている。前記コンデンサMCの第2電極は、プレート線PLに接続されている。ここで、Lレベルとして V_{ss} 、Hレベルとして V_{cc} を選び、前記プレート線PLを $1/2 V_{cc}$ 電位とした。また、前記電位を与える方式は外部から供給する、内部で作成するなど各種考えられるが、本実施例1（以下の実施例でも同様）では抵抗による分圧によって得た。前記スイッチングトランジスタMFのゲートは、前記ワード線WL₁に接続されている。また、他方のビット線 $\overline{BL_1}$ とワード線WL₁の交差部に接続されるメモリセルは、前述したのと同様な構造の強誘電体コンデンサ

る。前記スイッチングトランジスタDFのゲートは、前記他方のダミーワード線DWL'に接続されている。また、他方のビット線 $\overline{BL_1}$ と一方のダミーワード線DWLの交差部に接続されるダミーセルは、前述したのと同様な構造の常誘電体コンデンサDC'及びスイッチングトランジスタDF'とから構成されている。前記コンデンサDC'の第1電極は、前記スイッチングトランジスタDF'を介して他方のビット線 $\overline{BL_1}$ に接続されている。前記コンデンサMC'の第2電極は、前記プレート線PLに接続されている。前記スイッチングトランジスタDF'のゲートは、前記一方のダミーワード線DWLに接続されている。このようなメモリセル及びダミーセルを有する強誘電体メモリにおいて、書き込み動作、保持動作、及び読み出し動作に必要な周辺回路も従来のダイナミックランダムアクセスメモリ(DRAM)とはほぼ同じである。

即ち、前記ワード線WL₁、WL₂はコーデコダ/ワード線ドライバ1に接続され、前記各ダ

ミーワード線DWL、DWL'はダミーワード線ドライバ2に接続されている。前記コンデンサMC'の第1電極は、前記スイッチングトランジスタMF'を介して他方のビット線 $\overline{BL_1}$ に接続されている。前記コンデンサMC'の第2電極は、前記プレート線PLに接続されている。前記スイッチングトランジスタMF'のゲートは、前記ワード線WL₂に接続されている。

前記一方のビット線 $\overline{BL_1}$ と他方のダミーワード線DWL'の交差部に接続されるダミーセルは、参照用常誘電体コンデンサDC及びスイッチングトランジスタDFとから構成されている。この常誘電体コンデンサDCは、前記強誘電体コンデンサMCが分極反転しない場合とする場合の間の電流が流れ込む容量を持つ常誘電体層を例えば白金からなる第1、第2の電極で挟んだ構造を有する。前記コンデンサDCの第1電極は、前記スイッチングトランジスタDFを介して一方のビット線 $\overline{BL_1}$ に接続されている。前記コンデンサDCの第2電極は、前記プレート線PLに接続されてい

る。前記スイッチングトランジスタDFのゲートは、前記他方のダミーワード線DWL'に接続されている。また、他方のビット線 $\overline{BL_1}$ と一方のダミーワード線DWLの交差部に接続されるダミーセルは、前述したのと同様な構造の常誘電体コンデンサDC'及びスイッチングトランジスタDF'とから構成されている。前記コンデンサDC'の第1電極は、前記スイッチングトランジスタDF'を介して他方のビット線 $\overline{BL_1}$ に接続されている。前記コンデンサMC'の第2電極は、前記プレート線PLに接続されている。前記スイッチングトランジスタDF'のゲートは、前記一方のダミーワード線DWLに接続されている。このようなメモリセル及びダミーセルを有する強誘電体メモリにおいて、書き込み動作、保持動作、及び読み出し動作に必要な周辺回路も従来のダイナミックランダムアクセスメモリ(DRAM)とはほぼ同じである。

前記ビット線対BL₁、 $\overline{BL_1}$ は、読み出し時に該ビット線対BL₁、 $\overline{BL_1}$ をプリチャージ電位 V_{pc} にする第1イコライズ回路3、書き込み後に該ビット線対BL₁、 $\overline{BL_1}$ をコンデンサMC'の第2電極と同じ $1/2 V_{cc}$ にしてメモリセルの電荷をキャンセルする第2イコライズ回路4に接続されている。前記第1イコライズ回路3は第1クロック信号 ϕ_1 により動作される。なお、前記第1イコライズ回路3からのプリチャージ電位 V_{pc} は V_{cc} と V_{ss} の電位が選択できるようになっている。前記第2イコライズ回路4は、第2クロック信号 ϕ_2 により動作される。また、前記ビット線対BL₁、 $\overline{BL_1}$ はセンスアンプ信号 ϕ_{act} 、 $\overline{\phi_{act}}$ により動作されるセンスアンプに接続されている。更に、前記ビット線対BL₁、 $\overline{BL_1}$ は、カラム選択用スイッチングトランジスタCF₁、CF₂及びデータ入出力線I/O、 $\overline{I/O}$ を介して図示しないデータ入出力部に接続

されている。前記カラム選択用スイッチングトランジスタ CF_{11} 、 CF_{12} のゲートは、カラム選択線 CSL_1 を介してカラムデコーダ/カラムセレクト線ドライバ 6 に接続されている。

〔書き込みモード〕

上述した本実施例 1 の強誘電体メモリでの書き込み動作およびタイミングを第 5 図を用いて説明する。

従来のダイナミックランダムアクセスメモリ (DRAM) と同様に、チップイネーブル \overline{CE} を L レベルに下げる前に書き込み信号 \overline{WE} を L レベルにしておくことにより、書き込みサイクルが開始される。チップイネーブル \overline{CE} を L レベルに下げる以前に、メモリアドレス及び図示しないデータ入出力部からの書き込みデータ D_{IN} は確定しているものとする。チップが選択されていない時には、第 2 クロック信号 ϕ_2 を V_{cc} として第 2 イコライズ回路 4 を動作し、ビット線対 BL_1 、 $\overline{BL_1}$ は $1/2 V_{cc}$ にプリチャージ、イコライズされている。

トランジスタ CF_{11} 、 CF_{12} がオンしてデータ入出力線 I/O 、 $\overline{I/O}$ とビット線対 BL_1 、 $\overline{BL_1}$ がそれぞれ接続され、データ入出力線 I/O 、 $\overline{I/O}$ の電位 (V_{ss} 又は V_{cc}) とビット線対 BL_1 、 $\overline{BL_1}$ の電位が等しくなる。このような動作により、ビット線対 BL_1 、 $\overline{BL_1}$ と $1/2 V_{cc}$ の電位を持つプレートライン PL の間に電位差が生じるため、前記ワード線 WL_1 に繋がり、前記電位差が与えられるメモリセルの強誘電体コンデンサ MC は書き込むデータに応じて分極される。書き込みがなされた後、カラムセレクト線 CSL_1 を V_{cc} から V_{ss} にすると、カラム選択用スイッチングトランジスタ CF_{11} 、 CF_{12} がオフしてビット線対 BL_1 、 $\overline{BL_1}$ はデータ入出力線 I/O 、 $\overline{I/O}$ から切り離される。同時に、第 2 クロック信号 ϕ_2 を V_{ss} から V_{cc} にして、ビット線対 BL_1 、 $\overline{BL_1}$ を $1/2 V_{cc}$ にイコライズする。これによりメモリセルの両電極の電位がどちらも $1/2 V_{cc}$ になるため、書き込み時に蓄えられた電荷がキャンセルされる。しかし、電位差は 0 であ

第 2 クロック信号 ϕ_2 を V_{ss} にすると、ビット線対 BL_1 、 $\overline{BL_1}$ のプリチャージ、イコライズが解除される。この時、データ入出力線 I/O 、 $\overline{I/O}$ はデータ入出力部からの書き込みデータ D_{IN} に従い信号が V_{ss} または V_{cc} に確定している。その後、アドレス信号の指定によってローデコーダ/ワード線ドライバ 1 を動作し、選択されたワード線 WL_1 を V_{ss} から V_{cc} に引き上げる。この時、ワード線 WL_1 に繋がるメモリセルのスイッチングトランジスタ MF がオンして一方のビット線 BL_1 とプレートライン PL 間の強誘電体コンデンサ MC に電圧が印加されるが、一方のビット線 BL_1 は該プレートライン PL と同電位である $1/2 V_{cc}$ のフローティング状態に保たれているため、該強誘電体コンデンサ MC の分極は変化しない。

一方、アドレス信号の指定によりカラムデコーダ/カラムセレクト線ドライバ 6 を動作し、選択されたカラムセレクト線 CSL_1 を V_{ss} から V_{cc} に引き上げると、カラム選択用スイッチングトラ

から、書き込まれた分極は変化しない。その後、ワード線 WL_1 を V_{cc} から V_{ss} にすることにより前記メモリセルは一方のビット線 BL_1 から切り離される。チップイネーブル \overline{CE} を H レベルに引き上げ、書き込み信号 \overline{WE} を H レベルにすることにより書き込みサイクルを終了する。この一連の動作で、アドレス信号で指定された強誘電体メモリセルにデータが書き込まれ、保持される。

〔読み出しモード〕

前記書き込みモードにより書き込まれているデータの読み出し動作及びタイミングを第 6 図を用いて説明する。なお、この読みだし動作では第 1 図において書き込まれているデータを読み出す前のビット線プリチャージ電位は第 1 クロック信号 ϕ_1 により動作される第 1 イコライズ回路 3 の電位である V_{pc} であるが、ここでは V_{cc} とする。

チップイネーブル \overline{CE} を L レベルに下げる時に書き込み信号 \overline{WE} を H レベルにすることにより読みだしサイクルが開始される。チップイネーブル \overline{CE} を L レベルに下げる以前に、メモリアドレス

は確定しているものとする。チップを選択していない時にはビット線対 $B L_1$ 、 $\overline{B L_1}$ は第2イコライズ回路 4によって $1/2 V_{cc}$ にプリチャージ、イコライズされている。

第2クロック信号 ϕ_2 を V_{ss} にし、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると同時に第1クロック信号 ϕ_1 を V_{ss} から V_{cc} に引き上げる。これによりビット線対 $B L_1$ 、 $\overline{B L_1}$ は、 V_{cc} にプリチャージ、イコライズされる。ここで第1クロック信号 ϕ_1 を V_{cc} から V_{ss} に引き下げると、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は V_{cc} レベルに保たれたままフローティング状態になる。この状態でアドレス信号の指定によってローデコーダ/ワード線ドライバ 1を動作し、選択されたワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げる。これと同時に強誘電体メモリセルが繋がる一方のビット線 $B L_1$ の相補（他方）のビット線 $\overline{B L_1}$ に常誘電体コンデンサ $D C'$ 及びスイッチングトランジスタ $D F'$ からなるダミーセルが繋がるようにダミーワード線デコーダ/ドライバ 2

われる。この電位差を従来のダイナミックランダムアクセスメモリ (DRAM) と同じセンスアンプ 5によって増幅してやれば、書き込まれていたデータを読み出したことになる。

具体的には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ に電位差が生じた状態でセンスアンプ信号 ϕ_{act} 、 $\overline{\phi_{act}}$ をそれぞれ操作してセンスアンプ 5を動作させることにより、電位低下の小さいビット線の電位は V_{cc} に引き上げられ、電位低下の大きいビット線の電位は V_{ss} に引き下げられる。このような破壊読み出しのため、読み出しの際には分極方向は元のデータにかかわらず一定の方向になってしまうが、センスアンプ 5による電位決定により再書き込みが行われる。ビット線の電位を確定した後、アドレス信号の指定によってカラムデコーダ/カラムセレクト線ドライバ 6を動作し、選択されたカラムセレクト線 $C S L_1$ を V_{ss} から V_{cc} に引き上げると、前述したのと同様にビット線対 $B L_1$ 、 $\overline{B L_1}$ とデータ入出力線 I/O 、 $\overline{I/O}$ がそれぞれ接続され、 I/O バッファを通して出

が動く。つまり、一方のダミーワード線 $D W L$ 選択され、 V_{ss} から V_{cc} に引き上げられることにより、前記ダミーセルが前記他方のビット線 $\overline{B L_1}$ に繋がる。かかる動作により、選択された強誘電体コンデンサ $M C$ 及びトランジスタ $M F$ となる強誘電体メモリセルに接続される一方のビット線 $B L_1$ に V_{cc} 、プレートライン $P L$ に V_{cc} が加わる。この時、前記メモリセルの強誘電体コンデンサ $M C$ が前記電界方向と同じ分極方向を持っていた場合には電流の流れ込みが小さく分極方向が逆でこの電界によって分極が反転する場合にはより大きな電流が流れ込むことになる。これに伴い、前者では一方のビット線 $B L_1$ の電位低下が小さく、後者では一方のビット線 $B L_1$ の電位低下が大きくなる。前記ダミーセルとしては、両者の中間の電流が流れ込み、電位低下も間となるような容量を持つ常誘電体キャパシタを用いることにより、従来のダイナミックランダムアクセスメモリ (DRAM) と同様にデータのビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位差となって

力データ D_{out} に出力される。前記カラムセレクト線 $C S L_1$ を V_{cc} から V_{ss} にすることによりデータ入出力線 I/O 、 $\overline{I/O}$ はビット線対 $B L_1$ 、 $\overline{B L_1}$ から切り離される。センスアンプ信号 ϕ_{act} 、 $\overline{\phi_{act}}$ を操作してセンスアンプ 5の動作を停止した後、第2クロック信号 ϕ_2 を V_{ss} から V_{cc} にして、ビット線対 $B L_1$ 、 $\overline{B L_1}$ を $1/2 V_{cc}$ にイコライズする。これにより強誘電体メモリセルの両電極の電位がどちらも $1/2 V$ になるため、再書き込み時に蓄えられた電荷がキャンセルされる。しかし、電位差は0であるか書き込まれた分極は変化しない。その後、ワード線 $W L_1$ を V_{cc} から V_{ss} にして該ワード線 $W L_1$ に繋がった強誘電体メモリセルをビット線 $B L_1$ から切り離す。チップイネーブル $\overline{C E}$ を H レベルに引き上げることにより読み出しサイクルを終する。

なお、前述した第6図では第1図において書き込まれているデータを読み出す前のビット線プリチャージを行う第1イコライズ回路 3の電位 V 、

を V_{cc} としたが、 V_{ss} としてもよい。この場合の読み出し動作を第7図のタイミングチャート参照して以下に説明する。

第2クロック信号 ϕ_2 を V_{ss} にして、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると同時に第1クロック信号 ϕ_1 を V_{ss} から V_{cc} に引き上げる。これによりビット線対 $B L_1$ 、 $\overline{B L_1}$ は、 V_{ss} にプリチャージ、イコライズされる。ここで、第1クロック信号 ϕ_1 を V_{cc} から V_{ss} に引き下げると、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は V_{ss} レベルに保たれたままフローティング状態になる。この状態でアドレス信号の指定によりローデコーダ/ワード線ドライバ1を動作し、選択されたワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げる。これと同時に前述したように強誘電体メモリセルが繋がる一方のビット線 $B L_1$ の相補(他方)のビット線 $\overline{B L_1}$ に常誘電体コンデンサ $D C'$ 及びスイッチングトランジスタ $D F'$ からなるダミーセルが繋がるようにダミーワード線デコーダ/ドライバ2が働く。かかる動作により、

昇の小さいビット線の電位は V_{ss} に引き下げられる。その他の動作は、前述したのと同様である。

以上のように、本実施例1の強誘電体メモリでは強誘電体メモリセルを構成する強誘電体コンデンサ $M C$ の第1電極を1ビットの情報の二値の書き込みに対応する2つの電位(V_{ss} 又は V_{cc})のいずれかを与えるビット線(例えば一方のビット線 $B L_1$)にスイッチングトランジスタ $M F$ を介して接続し、同コンデンサ $M C$ の第2電極を前記二値の書き込みに対応する2つの電位間の中間(例えば $1/2 V_{cc}$)電位を保持させるプレート線 $P L$ を接続することによって、既述した書き込み動作で説明したようにコンデンサ $M C$ の第1電極に接続されるビット線 $B L_1$ を V_{cc} 又は V_{ss} にすることでコンデンサ $M C$ の第1電極、第2電極をそれぞれ H レベル、 L レベル又は反転した L レベル、 H レベルにすることができる。したがって、本実施例1によれば従来のように前記強誘電体コンデンサ間に H 、 L レベルの状態と逆の状態を実現するためにワード線と同じ本数だけドライブ線

選択された強誘電体コンデンサ $M C$ 及びトランジスタ $M F$ からなる強誘電体メモリセルに接続される一方のビット線 $B L_1$ に V_{ss} 、プレートライン $P L$ に $1/2 V_{cc}$ が加わる。この時、前記メモリセルの強誘電体コンデンサ $M C$ が前記電界方向と同じ分極方向を持っていた場合には電流の流れ込みが小さく、分極方向が逆でこの電界によって分極が反転する場合にはより大きな電流が流れ込むことになる。これに伴い、前者では一方のビット線 $B L_1$ の電位上昇が小さく、後者では一方のビット線 $B L_1$ の電位上昇が大きくなる。前記ダミーセルとしては、両者の中間の電流が流れ込み、電位上昇も中間となるような容量を持つ常誘電体キャパシタを用いることにより、従来のダイナミックランダムアクセスメモリ(DRAM)と同様にデータの差がビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位差となって現われる。この状態でセンスアンプ動作信号 ϕ_{act} 、 $\overline{\phi_{act}}$ をそれぞれ操作してセンスアンプ5を動作させることにより、電位上昇の大きいビット線の電位は V_{cc} に引き上げられ、電位上

を必要とする周辺回路の煩雑化を解消できるため、設計の自由度を向上できると共に、高密度の強誘電体メモリを得ることができる。

また、本実施例1によれば電源を切ってもデータを保持する不揮発性を有し、リフレッシュ動作も必要ない上、従来のダイナミックランダムアクセスメモリ(DRAM)と同じ構造を有するため高集積化に適する強誘電体メモリを得ることができる。

実施例2

第2図は、1つのワード線(例えば $W L_1$)に繋がる強誘電体コンデンサ $M C$ 及びスイッチングトランジスタ $M F$ からなるメモリセルと強誘電体コンデンサ $M C'$ 及びスイッチングトランジスタ $M F'$ からなるメモリセルとを1ビットとし、いずれか一方のセルをダミーセルとした強誘電体メモリである。この強誘電体メモリにおいては、一方のメモリセルの強誘電体コンデンサの強誘電体と他方のメモリセルの強誘電体コンデンサの強誘電体の分極を逆にし、その分極の組み合わせによ

り1ビットの情報を記憶する。かかる構成によれば、センスアンプ 5はプリチャージ後、ワードライン $W L_1$ を V_{ss} から V_{cc} にした時にどちらの強誘電体コンデンサに繋がるビット線対 (例えば $B L_1$ 、 $B L_1'$) の電位が高いかを判定することによりデータが得られるため、前述した実施例1のようにメモリセルとは別個にダミーセルを設けることが不要になると共にノイズに強くなり、信頼性を向上できる。ビット線プリチャージとして V_{ss} 、 V_{cc} のいずれをも取り得るのは、実施例1と同様である。タイミングチャートも前述した第5図～第7図に示した通りである。

実施例3

第3図は、本実施例3の強誘電体メモリの回路図であり、前述した実施例1の回路に強誘電体メモリセルにおける強誘電体コンデンサの第2電極の電位を切り替える手段7を付加した構造になっている。前記電位切り替手段7は、プレート線 $P L$ の他端に分岐して設けられた第1電源 $1/2 V_{cc}$ 、第2電源 V_{PL} と、前記第1、第2の電源

$D R A M$ モード用ダミーセルをそれぞれ接続した。前記一方の $D R A M$ モード用ダミーセルは強誘電体キャパシタ $d D C$ 及びスイッチングトランジスタ $d D F$ とから構成されている。前記キャパシタ $d D C$ の第1電極は、前記スイッチングトランジスタ $d D F$ を介して一方のビット線 $B L_1$ に接続されている。前記キャパシタ $d D C$ の第2電極は、前記プレート線 $P L$ に接続されている。前記スイッチングトランジスタ $d D F$ のゲートは、他方の $D R A M$ モード用ダミーワード線 $d D W L'$ に接続されている。また、他方の $D R A M$ モード用ダミーセルは常誘電体キャパシタ $d D C'$ 及びスイッチングトランジスタ $d D F'$ とから構成されている。前記キャパシタ $d D C'$ の第1電極は、前記スイッチングトランジスタ $d D F'$ を介して他方のビット線 $B L_1'$ に接続されている。前記キャパシタ $d D C'$ の第2電極は前記プレート線 $P L$ に接続されている。前記スイッチングトランジスタ $d D F'$ のゲートは、一方の $D R A M$ モード用

$1/2 V_{cc}$ 、 V_{PL} のいずれかを選択するための第1、第2のスイッチングトランジスタ $F R_1$ 、 $F R_2$ とから構成されている。前記第1、第2のスイッチングトランジスタ $F R_1$ 、 $F R_2$ をそれぞれオン、オフすることによりプレートライン $P L$ の電位は第1電源 $1/2 V_{cc}$ となり、前述した実施例1のように強誘電体不揮発メモリとして動作させることが可能となる。前記第1、第2のスイッチングトランジスタ $F R_1$ 、 $F R_2$ をそれぞれオフ、オンすることによりプレートライン $P L$ の電位は V_{PL} となる。この V_{PL} 電位は、 V_{cc} でも V_{ss} でも構わない。こうすることにより電源印加中は、従来のキャパシタによるダイナミックランダムアクセスメモリ ($D R A M$) と同様に電荷の有無による1ビットの記憶を行うことができる。この場合、強誘電体メモリのダミーセルとは別に一方のビット線 $B L_1$ と他方の $D R A M$ モード用ダミーワード線 $d D W L'$ の交差部に $D R A M$ モード用ダミーセル、他方のビット線 $B L_1'$ と一方の $D R A M$ モード用ダミーワード線 $d D W L$ の交差部に

ダミーワード線 $d D W L$ に接続されている。なお、前記 $D R A M$ モード用ダミーワード線 $d D W L$ 、 $d D W L'$ はダミーワード線デコーダ/ドライバ2に接続されている。

次に、強誘電体不揮発メモリとして動作させる状態を不揮発記憶モード、従来のキャパシタによるダイナミックランダムアクセスメモリ

($D R A M$) と同様に電荷の有無による1ビットの記憶を行う状態を $D R A M$ モードと呼び、前記不揮発記憶モードから $D R A M$ モードへの切り替え、 $D R A M$ モードでの動作、 $D R A M$ モードから不揮発記憶モードへの切り替え、にそれぞれ分けて説明する。外部出力信号として $D R A M$ モード動作信号 $\overline{D R}$ 、外部入力信号として切り替え信号 $\overline{C H G}$ を与えるものとする。

[不揮発記憶モードから $D R A M$ モードへの切り替え]

強誘電体メモリを不揮発記憶モードで使用する時に第1クロック信号 ϕ_1 で動作される第1イコライズ回路3のプリチャージ電位 V_{pc} が V_{cc} 又は

V_{ss} のどちらもと取り得ることは前記実施例1に述べた通りである。更に、DRAMモードで使用する時にプレートラインPLの電位 V_{PL} として V_{cc} 、 V_{ss} のどちらもと取り得ることから以下に説明する4通りの組み合わせが可能である。

① V_{PC} 、 V_{PL} の両方が V_{cc} のモード切り替えプリチャージ電位 V_{PC} 、プレートライン電位 V_{PL} としてどちらも V_{cc} とした時の動作を第8図のタイミングチャートを参照して説明する。

DRAMモード動作信号 \overline{DR} は、不揮発記憶モードではHレベルに保たれている。チップイネーブル \overline{CE} をLレベルに下げる前に、切り替え信号 \overline{CHC} をLレベルにしておくことにより、不揮発記憶モードからDRAMモードへの切り替えサイクルが開始される。

切り替えの手順としては、DRAMのリフレッシュと同様にローアドレスを順にスキャンしていき、ワード線に繋がっている強誘電体メモリセルの分極による情報を電荷の有無による情報に順次切り替えていく。この操作を全てのワード線につ

いて行えば、切り替えが完了したことになる。ローアドレスをカウントアップする方法としては再用にカウンタを用意することもできるが、本実施例3ではリフレッシュカウンタを1スキャンさせて用いた。

チップが選択されていない時には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は第2イコライズ回路4によって $1/2 V_{cc}$ にプリチャージ、イコライズされている。第2クロック信号 ϕ_2 を V_{ss} にすることにより、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると同時に第1クロック信号 ϕ_1 を V_{ss} から V_{cc} に引き上げる。第1クロック信号 ϕ_1 を V_{ss} に引き下げることににより、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は V_{cc} フローティング状態になる。ここで、アドレス信号の指定によってローデコード/ワード線ドライバ1を動作させ、最初のワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げる。これと同時に強誘電体メモリセルが繋がる一方のビット線 $B L_1$ の相補(他方)のビット線 $\overline{B L_1}$ に常誘電体コンデンサ $D C'$ 及びスイッチングトランジ

スタ $D F'$ からなるダミーセルが繋がるようにダミーワード線デコード/ドライバ2が働く。つまり、ダミーワード線 $D W L$ が選択され、 V_{ss} から V_{cc} に引き上げられることにより、前記ダミーセルが前記他方のビット線 $\overline{B L_1}$ に繋がる。実施例1と同様に強誘電体メモリセルの分極による情報を読み出し、センスアンプ5によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位が決定される。この状態のまま電位切り替え手段7の第1スイッチングトランジスタ $F R_1$ を V_{cc} から V_{ss} (オフ)、第2のスイッチングトランジスタ $F R_2$ を V_{ss} から V_{cc} (オン)に変化させてプレートラインPLの電位を $1/2 V_{cc}$ から V_{cc} にする。すると不揮発記憶モードで“1”が記憶されていた場合は、一方のビット線 $B L_1$ が V_{cc} になっているため、ビット線 $B L_1$ とプレートラインPLが同電位になり電荷はキャンセルされる。逆に、不揮発記憶モードで“0”が記憶されていた場合は一方のビット線 $B L_1$ が V_{ss} になっているため、プレートラインPLの電位 V_{cc} との間で電荷が蓄えられる。この

ようにして強誘電体の分極方向による情報を電荷の有無に対応させることができる。実際には、電荷の有無の他に分極方向も反対のままであるが、プリチャージ電位 V_{PC} とプレートライン電位 V_{PL} が同電位のため、DRAMモードで同じデータを読み出している場合の書き込み又はリフレッシュ時には分極の反転は起こらないので動作上は全く支障がない。更に、DRAMモードでデータを書き替えた場合には分極が反転することがあるが、書き込み時であるためやはり支障はない。ワード線 $W L_1$ を V_{cc} から V_{ss} に引き下げてメモリセルをビット線 $B L_1$ から切り離す。センスアンプ信号 ϕ_{ACT} 、 ϕ_{ACT} を操作してセンスアンプ5の動作を停止し、第1クロック信号 ϕ_1 を V_{ss} から V_{cc} に引き上げた後、引き下げて V_{cc} フローティング状態にする。この間に、第1スイッチングトランジスタ $F R_1$ を V_{ss} から V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{cc} から V_{ss} (オフ)に変化させてプレートラインPLの電位を V_{cc} から $1/2 V_{cc}$ にしておく。そして、アドレ

ス信号の指定によってローデコーダノワード線ドライバ1を動作、次のワード線WL₂をV_{ss}からV_{cc}に引き上げ、上記操作を繰り返す。全てのワード線について上記操作が済んだ後、第2クロック信号φ₂をV_{cc}にし、第2イコライズ回路4によりビット線対BL₁、 \overline{BL}_1 を1/2V_{cc}にプリチャージ、イコライズする。また、同時に電位切り替え手段1の第1スイッチングトランジスタFR₁をV_{ss}(オフ)、第2スイッチングトランジスタFR₂をV_{cc}(オン)に変化させてプレートラインPLの電位をV_{cc}にしておく。これらのすべてが完了するとDRAMモード動作信号DRをHレベルからLレベルに引き下げる。これによりメモリがDRAMモードに移行したことが示される。外部では、前記信号が出されると同時にリフレッシュ回路を動作させる必要がある。また、内部的にはダミーセルがDRAMモード用のものに切り替えられる。

切り替え信号CHGをHレベルにし、チップイネーブルCEをHレベルにすることにより不揮発

モードからDRAMモードへの切り替

クルが終了する。
② V_{pc}がV_{ss}、V_{pl}がV_{cc}のモード切りプリチャージ電位V_{pc}をV_{ss}、プレート電位V_{pl}をV_{cc}として選んだ場合の動作を、のタイミングチャートを参照して説明する。不揮発記憶モードの情報の読み出しをV_{ss}ーティングで行った後、センスアンプ5によりビット線対BL₁、 \overline{BL}_1 の電位が決定されるの状態で電位切り替え手段1の第1スイッチングトランジスタFR₁をV_{cc}からV_{ss}(オフ)、第2スイッチングトランジスタFR₂をV_{ss}からV_{cc}(オン)に変化させてプレートラインPLの電位を1/2V_{cc}からV_{cc}にする。以後の動作は述べたモード切り替え操作と同様である。このようにして強誘電体の分極方向による情報を電荷の有無に対応させることができる。電荷の有無の分極方向も反対のままであるのも同様である。プリチャージ電位V_{pc}がV_{ss}、プレートライン電位V_{pl}がV_{cc}であるため、分極によるデータが

・1・、つまりビット線電位がV_{cc}であったものを読み出す場合やリフレッシュ時において分極が反転することになる。しかし、電荷の有無によって生じる電位差を拡げる方向に動くのでやはり支障はない。書き込み時に反転しても支障はない。

③ V_{pc}がV_{cc}、V_{pl}がV_{ss}のモード切り替えプリチャージ電位V_{pc}をV_{cc}、プレートライン電位V_{pl}をV_{ss}として選んだ場合の動作を第10図のタイミングチャートを参照して説明する。

不揮発記憶モードの情報の読み出しをV_{cc}フローティングで行った後、センスアンプ5によりビット線対BL₁、 \overline{BL}_1 の電位が決定される。この状態のまま電位切り替え手段1の第1スイッチングトランジスタFR₁をV_{cc}からV_{ss}(オフ)、第2スイッチングトランジスタFR₂をV_{ss}からV_{cc}(オン)に変化させてプレートラインPLの電位を1/2V_{cc}からV_{ss}にする。すると不揮発記憶モードで・1・が記憶されていた場合はビット線がV_{cc}になっているため、プレートラインPLの電位V_{ss}との間で電荷が蓄えられる。逆に、不

揮発記憶モードで・0・が記憶されていた場合はビット線がV_{ss}になっているため、ビット線とプレートラインが同電位になり電荷はキャンセルされる。このようにして強誘電体の分極方向による情報を電荷の有無に対応させることができる。電荷の有無の他に分極方向も反対のままであるのも同様であるが、プリチャージ電位V_{pc}がV_{cc}、プレートライン電位V_{pl}がV_{ss}であるため、分極によるデータが・0・、つまりビット線電位がV_{ss}であったものを読み出す場合やリフレッシュ時において分極が反転することになる。しかし、電荷の有無によって生じる電位差を拡げる方向に動くのでやはり支障はない。書き込み時に反転しても、同様に支障はない。

④ V_{pc}がV_{ss}、V_{pl}がV_{ss}のモード切り替えプリチャージ電位V_{pc}をV_{ss}、プレートライン電位V_{pl}をV_{ss}として選んだ場合の動作を第11図のタイミングチャートを参照して説明する。不揮発記憶モードの情報の読み出しをV_{ss}フローティングで行った後、センスアンプ5によりビ

ビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位が決定される。電位切り替え手段 1 の第 1 スイッチングトランジスタ $F R_1$ を V_{cc} から V_{ss} (オフ)、第 2 スイッチングトランジスタ $F R_2$ を V_{ss} から V_{cc} (オン) に変化させてプレートライン $P L$ の電位を $1/2 V_{cc}$ から V_{ss} にする。すると不揮発記憶モードで "1" が記憶されていた場合はビット線が V_{cc} になっているため、プレートライン $P L$ の電位 V_{ss} との間で電荷が蓄えられる。逆に不揮発記憶モードで "0" が記憶されていた場合はビット線が V_{ss} になっているため、ビット線とプレートラインが同電位になり電荷はキャンセルされる。このようにして強誘電体の分極方向による情報を電荷の有無に対応させることができた。この場合も電荷の有無の他に分極方向も反対のままであるが、プリチャージ電位 V_{pc} とプレートライン電位 V_{PL} が同電位のため、同じデータを読み出している場合の再書き込み又はリフレッシュ時において分極の反転は起こらないので動作上は全く支障がない。更に、DRAM モードでデータを書き替えた場合

には分極が反転することがあるが、書き込み時であるため同様に全く支障はない。

[DRAM モードでの動作]

本実施例 3 の強誘電体メモリでの DRAM モードにおける書き込み動作およびタイミングを第 12 図を参照して説明する。

プレートライン電位 V_{PL} は、 V_{cc} でも V_{ss} でもよいが、ここでは V_{cc} としている。従来の DRAM と同様に、チップイネーブル \overline{CE} が L レベルに下げられる前に書き込み信号 \overline{WE} を L レベルにしておくことにより、書き込みサイクルが開始される。チップイネーブル \overline{CE} が L レベルに下げられる以前に、メモリアドレス及び入出力部からの書き込みデータ D_{IN} は確定しているものとする。チップが選択されていない時には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は第 2 イコライズ回路 4 によって $1/2 V_{cc}$ にプリチャージ、イコライズされている。

第 2 クロック信号 ϕ_2 を V_{ss} にし、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解

除する。メモリセルと外部とを接続するデータ入出力線 I/O 、 $\overline{I/O}$ は書き込みデータ D_{IN} に従い信号が V_{ss} 又は V_{cc} に確定している。その後、アドレス信号の指定によりローデコーダ/ワード線ドライバ 1 を動作してワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げる。この状態でメモリセルは、ビット線 $B L_1$ に接続される。一方、アドレス信号の指定によりカラムデコーダ/カラムセレクト線ドライバ 8 を動作し、選択されたカラムセレクト線 $C S L_1$ を V_{ss} から V_{cc} に引き上げると、カラム選択用スイッチングトランジスタ $C F_{11}$ 、 $C F_{12}$ がオンしてデータ入出力線 I/O 、 $\overline{I/O}$ とビット線対 $B L_1$ 、 $\overline{B L_1}$ がそれぞれ接続され、データ入出力線 I/O 、 $\overline{I/O}$ の電位 (V_{ss} 又は V_{cc}) とビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位が等しくなる。こうすることによりビット線 $B L_1$ が V_{cc} であった場合には電位が V_{cc} のプレートライン $P L$ の間に電位差を生じず、電荷がキャンセルされる。ビット線対 $B L_1$ が V_{ss} であった場合にはプレートライン $P L$ の間で電位差が生じ、メモ

リセルに電荷が蓄えられる。書き込みがなされた後、ワード線 $W L_1$ を V_{cc} から V_{ss} に引き下げてメモリセルをビット線 $B L_1$ から切り離す。カラムセレクト線 $C S L_1$ を V_{cc} から V_{ss} にすることにより、ビット線対 $B L_1$ 、 $\overline{B L_1}$ はデータ入出力線 I/O 、 $\overline{I/O}$ から切り離される。と同時に第 2 クロック信号 ϕ_2 を V_{ss} から V_{cc} にし、第 2 イコライズ回路 4 によりビット線対 $B L_1$ 、 $\overline{B L_1}$ を $1/2 V_{cc}$ にイコライズする。チップイネーブル \overline{CE} が H レベルに引き上げられ、書き込み信号 \overline{WE} を H レベルにすることで書き込みサイクルを終了する。この一連の動作で、アドレスで指定された強誘電体メモリセルにデータが書き込まれ、保持される。また、DRAM モードではリフレッシュ動作が従来の DRAM と同様に必要である。

なお、前述した書き込み動作においてプレートライン電位 V_{PL} を V_{ss} とした場合の動作を第 13 図のタイミングチャートを参照して説明する。この動作では、ビット線が V_{cc} であった場合にプレ

トラインPLの間位差が生じメモリセルに電荷が蓄えられ、ビット線が V_{ss} であった場合にはプレートラインPLの間で電位差を生じず、電荷がキャンセルされる点が異なるだけで他の動作は前述したのと全く同じである。

次に、前記書き込みモードにより書き込まれているデータの読み出し動作及びタイミングを説明する。書き込まれているデータを読み出す前のビット線プリチャージとしては、第1イコライズ回路3のプリチャージ電位 V_{pc} を用いる場合と、第2イコライズ回路4の電位 $1/2V_{cc}$ を用いる場合が考えられ、更にプリチャージ電位 V_{pc} を V_{cc} にする方法と V_{ss} にする方法がある。また、それぞれについてプレートライン電位 V_{pl} を V_{cc} にする場合と V_{ss} にする場合があるので、組み合わせは以下に説明する計6通りある。

① V_{pc} が V_{cc} 、 V_{pl} が V_{cc} の読み出しモード

ビット線のプリチャージには、第1イコライズ回路3の電位 V_{pc} を V_{cc} として用い、プレートラインPLの電位 V_{pl} を V_{cc} にする場合の読み出し

させ、ワード線 WL_1 を V_{ss} から V_{cc} に引き上げる。これと同時に強誘電体メモリセルが繋がる一方のビット線 BL_1 の相補(他方)のビット線 $\overline{BL_1}$ に常誘電体コンデンサ dDC' 及びスイッチングトランジスタ dDF' からなるDRAMモード用ダミーセルが繋がるようにダミーワード線デコーダ/ドライバー2が働く。つまり、一方のDRAMモード用ダミーワード線 $dDWL$ が選択され、 V_{ss} から V_{cc} に引き上げられることにより前記DRAMモード用ダミーセルが他方のビット線 $\overline{BL_1}$ に繋がる。すると選択された強誘電体メモリセルにはビット線 BL_1 の電位 V_{cc} 、プレートラインPLの電位 V_{cc} が加えられることになる。この時、メモリセルに電荷が蓄えられている場合はビット線の電位低下が大きく、電荷が蓄えられていない場合は電位低下が小さくなる。DRAMモード用ダミーセルは、強誘電体キャパシタの半分の容量を持つ常誘電体キャパシタを用いることにより、従来のDRAMと同様にデータの差がビット線対 BL_1 、 $\overline{BL_1}$ の電位差とによって現われ

動作を第14図のタイミングチャートを参照して明する。

チップイネーブル \overline{CE} がLレベルに下げられる時に書き込み信号 \overline{WE} がHレベルになっていることにより読み出しサイクルが開始される。チップイネーブル \overline{CE} がLレベルに下げられる以前にメモリアドレスは確定しているものとする。エンプが選択されていない時にはビット線対 BL_1 、 $\overline{BL_1}$ は第2イコライズ回路4によって $1/2V_{cc}$ にプリチャージ、イコライズされている。

第2クロック信号 ϕ_2 を V_{ss} にして、ビット線対 BL_1 、 $\overline{BL_1}$ のプリチャージ、イコライズを解除すると同時に第1クロック信号 ϕ_1 を V_{cc} に引き上げ、第1イコライズ回路3によりビット線対 BL_1 、 $\overline{BL_1}$ は V_{cc} にプリチャージ、イコライズする。ここで、第1クロック信号 ϕ_1 を V_{cc} から V_{ss} に引き下げると、ビット線対 BL_1 、 $\overline{BL_1}$ は V_{cc} レベルに保たれたままフローティング状態になる。この状態でアドレス信号の指定によってローデコーダ/ワード線ドライバ1を動作

する。この状態でセンスアンプ信号 ϕ_{ACT} 、 $\phi_{AC\overline{C}}$ をそれぞれ操作してセンスアンプ5を動作させることにより、電位低下の小さいビット線の電位は V_{cc} に引き上げられ、電位低下の大きいビット線の電位は V_{ss} に引き下げられる。従来のDRAMと同様に破壊読み出しのため、読み出しの際には電荷はすべて失われてしまうが、センスアンプによる電位決定により再書き込みが行われる。ビット線 BL_1 、 $\overline{BL_1}$ の電位が確定した後、アドレス信号の指定によりカラムデコーダ/カラムセレクト線ドライバ6を動作し、選択されたカラムセレクト線 CSL_1 を V_{ss} から V_{cc} に引き上げる。すると、ビット線 BL_1 、 $\overline{BL_1}$ とデータ入出力線 I/O 、 $\overline{I/O}$ がそれぞれ接続され、 I/O バッファを通して出力データが D_{OUT} に出力されるのは実施例1と同じである。カラムセレクト線 CSL_1 が V_{cc} から V_{ss} になり、データ入出力線 I/O 、 $\overline{I/O}$ はビット線対 BL_1 、 $\overline{BL_1}$ から切り離される。ワード線 WL_1 を V_{cc} から V_{ss} に引き下げて、該ワード線 WL_1 に繋がったメモリ

セルをビット線 $B L_1$ から切り離す。センスアンプ信号 ϕ_{ACT} 、 $\overline{\phi_{ACT}}$ を操作してセンスアンプ 5 の動作を停止し、第2クロック信号 ϕ_2 を V_{SS} から V_{CC} にしてビット線対 $B L_1$ 、 $\overline{B L_1}$ を $1/2 V_{CC}$ にイコライズする。チップイネーブル \overline{CE} が H レベルに引き上げられることで読み出しサイクルを終了する。

② V_{PC} が V_{SS} 、 V_{PL} が V_{CC} の読み出しモード

書き込まれているデータを読み出す前、第1イコライズ回路 3 によりビット線のプリチャージ電位 V_{PC} を V_{SS} とした場合の読み出し動作を第15図のタイミングチャートを参照して説明する。

第2クロック信号 ϕ_2 を V_{SS} にし、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると同時に第1クロック信号 ϕ_1 を V_{SS} から V_{CC} に引き上げる。これによりビット線対 $B L_1$ 、 $\overline{B L_1}$ は、 V_{SS} にプリチャージ、イコライズされる。ここで第1クロック信号 ϕ_1 を V_{CC} から V_{SS} に引き下げると、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は V_{SS} レベルに保たれたままフローティング状態に

り、電位上昇の大きいビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位は V_{CC} に引き上げられ、電位上昇の小さいビット線対の電位は V_{SS} に引き下げられる。その他の動作は上記と同様である。

③ V_{PC} が V_{CC} 、 V_{PL} が V_{SS} の読み出しモード

第1イコライズ回路 3 によりビット線のプリチャージ電位 V_{PC} を V_{CC} とし、プレートライン電位 V_{PL} を V_{SS} にした場合の読み出し動作を第16図のタイミングチャートを参照して説明する。

ビット線対 $B L_1$ 、 $\overline{B L_1}$ を V_{CC} フローティング状態にした後、アドレス信号の指定によってローデコーダ/ワード線ドライバ 1 を動作し、選択されたワード線 $W L_1$ を V_{SS} から V_{CC} に引き上げると、選択された強誘電体メモリセルにはビット線 $B L_1$ の電位 V_{CC} 、プレートライン $P L$ の電位 V_{SS} が加えられる。ここでメモリセルに電荷が蓄えられている場合は、ビット線の電位低下が小さく、電荷が蓄えられていない場合は電位低下が大きくなる。センスアンプ 5 により前者は V_{CC} に引き上げられ、後者は V_{SS} に引き下げられる。その

なる。この状態でアドレス信号の指定によってローデコーダ/ワード線ドライバ 1 を動作し、選択されたワード線 $W L_1$ を V_{SS} から V_{CC} に引き上げる。これと同時に強誘電体メモリセルが繋がる一方のビット線 $B L_1$ の相補（他方）のビット線 $\overline{B L_1}$ に常誘電体コンデンサ $d D C'$ 及びスイッチングトランジスタ $d D F'$ からなる D R A M モード用ダミーセルが繋がるようにダミーワード線デコーダ/ドライバ 2 が働く。すると選択された強誘電体メモリセルには、ビット線 $B L_1$ の電位 V_{SS} 、プレートライン $P L$ の電位 V_{CC} がかかり、電荷が蓄えられていた場合にはほとんど電流が流れず、電荷が蓄えられていなかった場合には電流が流れ込むことになる。これに伴い、前者ではビット線の電位上昇が小さく、後者ではビット線の電位上昇が大きくなる。D R A M モード用ダミーセルとしては、プリチャージ電位 V_{PC} を V_{CC} とした時と同じダミーセルを用いればよい。この状態でセンスアンプ動作信号 ϕ_{ACT} 、 $\overline{\phi_{ACT}}$ をそれぞれ操作してセンスアンプ 5 を動作させることによ

他の動作は同じである。

④ V_{PC} が V_{SS} 、 V_{PL} が V_{SS} の読み出しモード

第1イコライズ回路 3 によるビット線のプリチャージ電位 V_{PC} を V_{SS} とし、プレートライン電位 V_{PL} を V_{SS} にした場合の読み出し動作を第17図のタイミングチャートを参照して説明する。

ビット線対 $B L_1$ 、 $\overline{B L_1}$ を V_{SS} フローティング状態にした後、アドレス信号の指定によってローデコーダ/ワード線ドライバ 1 を動作し、選択されたワード線 $W L_1$ を V_{SS} から V_{CC} に引き上げると、選択された強誘電体メモリセルにはビット線 $B L_1$ の電位 V_{SS} 、プレートライン $P L$ の電位 V_{SS} が加えられる。ここでメモリセルに電荷が蓄えられている場合は、ビット線の電位上昇が大きく、電荷が蓄えられていない場合は電位上昇が小さくなる。センスアンプ 5 により前者は V_{CC} に引き上げられ、後者は V_{SS} に引き下げられる。その他の動作は同じである。

⑤ ビット線プリチャージ電位が $1/2 V_{CC}$ 、 V_{PL} が V_{CC} の読み出しモード

第2イコライズ回路4によりビット線のプリチャージ電位を $1/2V_{cc}$ とし、プレートライン電位 V_{PL} を V_{cc} にした場合の読み出し動作を第18図のタイミングチャートを参照して説明する。

チップが選択されていない時には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は第2イコライズ回路4によって $1/2V_{cc}$ にプリチャージ、イコライズされている。この場合は、第1イコライズ回路3を動作させず、第2クロック信号 ϕ_2 を V_{ss} にしてビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は $1/2V_{cc}$ レベルに保たれたままフローティング状態になる。アドレス信号の指定によってローデコーダ/ワード線ドライバ1を動作し、選択されるワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げると、選択された強誘電体メモリセルにはビット線 $B L_1$ の電位 $1/2V_{cc}$ 、プレートライン $P L$ の電位 V_{cc} が加えられる。ここでメモリセルに電荷が蓄えられている場合はビット線電位が $1/2V_{cc}$ よりわずかに低くなり、電荷が蓄えられていない場合は $1/2V_{cc}$

より高くなる。センスアンプ5により前者は V_{ss} に引き下げられ、後者は V_{cc} に引き上げられる。その他の動作は同じである。

⑥ビット線プリチャージ電位が $1/2V_{cc}$ 、 V_{PL} が V_{ss} の読み出しモード

第2イコライズ回路4によりビット線のプリチャージ電位を $1/2V_{cc}$ とし、プレートライン電位 V_{PL} を V_{ss} にした場合の読み出し動作を第19図のタイミングチャートを参照して説明する。

チップが選択されていない時には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は第2イコライズ回路4によって $1/2V_{cc}$ にプリチャージ、イコライズされている。この場合は、第1イコライズ回路3を動作させず、第2クロック信号 ϕ_2 を V_{ss} にしてビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は $1/2V_{cc}$ レベルに保たれたままフローティング状態になる。アドレス信号の指定によってローデコーダ/ワード線ドライバ1を動作し、選択されるワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げると、選択され

た強誘電体メモリセルにはビット線 $B L_1$ の電位 $1/2V_{cc}$ 、プレートライン $P L$ の電位 V_{ss} が加わる。ここでメモリセルに電荷が蓄えられている場合は、ビット線の電位が $1/2V_{cc}$ からわずかに高くなり、電荷が蓄えられていない場合は $1/2V_{cc}$ より低くなる。センスアンプ5により前者は V_{cc} に引き上げられ、後者は V_{ss} に引き下げられる。その他の動作は同じである。

以上述べた通り、プリチャージ電位やプレートライン電位の取り方がいくつか考えられるが、いずれの方法でもDRAMとして良好に動作させることができる。

[DRAMモードから不揮発記憶モードへの切り替え]

この動作は、DRAMモードの情報を読み出し、順次不揮発記憶モードに書き込んでいくため、前述した6種のDRAMモードの読み出し方法に対応して以下に説明するように6通りの方法がある。しかし、基本的な動作はすべて同じである。

① V_{PC} 、 V_{PL} の両方が V_{cc} のモード切り替え
プリチャージ電位 V_{PC} 、プレートライン電位 V_{PL} のいずれも V_{cc} とした時の動作を第20図を参照して説明する。

DRAMモード動作信号 \overline{DR} は、DRAMモードではLレベルに保たれている。また、これに伴って電位切り替え手段7の第1スイッチングトランジスタ $F R_1$ は V_{ss} (オフ)、第2スイッチングトランジスタ $F R_2$ は V_{cc} (オン) に保たれてプレートライン電位は V_{cc} になっている。チップイネーブル \overline{CE} が、Lレベルに下げられる前に切り替え信号 \overline{CHG} をLレベルにしておくことにより、DRAMモードから不揮発記憶モードへの切り替えサイクルが開始される。

切り替えの手順としては、DRAMのリフレッシュと同様にコアアドレスを順にスキャンしていき、ワード線に繋がっている強誘電体メモリセルの電荷の有無による情報を分極による情報に順次切り替えていく。この操作を全てのワード線について行えば、切り替えが完了したことになる。ロ

アドレスをカウントアップする方法としては専用にカウンタを用意することもできるが、本実施例ではリフレッシュカウンタを1スキャンさせて用いた。

チップが選択されていない時には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は第2イコライズ回路 4 によって $1/2 V_{cc}$ にプリチャージ、イコライズされている。第2クロック信号 ϕ_2 を V_{ss} にして、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のプリチャージ、イコライズを解除すると同時に第1クロック信号 ϕ_1 を V_{ss} から V_{cc} に引き上げた後、第1クロック信号 ϕ_1 を V_{ss} に引き下げるによりビット線対 $B L_1$ 、 $\overline{B L_1}$ は V_{cc} のフローティング状態になる。ここで、アドレス信号の指定によりローデコーダ/ワード線ドライバ 1 を動作し、最初のワード線 $W L_1$ を V_{ss} から V_{cc} に引き上げる。これと同時に強誘電体メモリセルが繋がるビット線 $B L_1$ の相補のビット線 $\overline{B L_1}$ に D R A M モード用ダミーセルが繋がるようにダミーワード線デコーダ/ドライバ 2 が動く。前述した D R A M モードでの読

み出しと同様に強誘電体メモリセルの電荷の有無による情報を読み出し、センスアンプ 5 によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位が決定される。この状態のまま電位切り替え手段 7 の第1スイッチングトランジスタ $F R_1$ を V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{ss} (オフ) に変化させてプレートライン電位を V_{cc} から $1/2 V_{cc}$ にする。すると D R A M モードで "1" が記憶されていた場合はビット線が V_{cc} となり、プレートライン電位 $1/2 V_{cc}$ との間に電位差が生じてビット線からプレートラインに向かって分極される。また、D R A M モードで "0" が記憶されていた場合はビット線が V_{ss} となり、プレートライン電位 $1/2 V_{cc}$ との間に電位差が生じてプレートラインからビット線に向かって分極される。センスアンプ信号 ϕ_{act} 、 $\overline{\phi_{act}}$ を操作してセンスアンプ 5 の動作を停止した後、第2クロック信号 ϕ_2 を V_{ss} から V_{cc} にしてビット線対 $B L_1$ 、 $\overline{B L_1}$ を $1/2 V_{cc}$ にイコライズする。これにより強誘電体メモリセルの両電極の電位がどちらも

$1/2 V_{cc}$ になるため、書き込み時に蓄えられた電荷がキャンセルされる。しかし、電位差は 0 であるから、書き込まれた分極は変化しない。その後、ワード線 $W L_1$ を V_{cc} から V_{ss} にすることにより強誘電体メモリセルはビット線 $B L_1$ から切り離される。第2クロック信号 ϕ_2 を V_{cc} から V_{ss} にすると同時に、第1クロック信号 ϕ_1 を V_{ss} から V_{cc} に引き上げた後、引き下げて V_{cc} フローティング状態にする。この間に、電位切り替え手段 7 の第1スイッチングトランジスタ $F R_1$ を V_{cc} から V_{ss} (オフ) を、第2スイッチングトランジスタ $F R_2$ を V_{ss} から V_{cc} (オン) に変化させてプレートライン電位を $1/2 V_{cc}$ から V_{cc} にしておく。そして、アドレス信号の指定によりローデコーダ/ワード線ドライバ 1 を動作し、選択された次のワード線 $W L_2$ を V_{ss} から V_{cc} に引き上げ、上記操作を繰り返す。全てのワード線について上記操作が済んだ後、第2クロック信号 ϕ_2 を V_{cc} にして、ビット線対 $B L_1$ 、 $\overline{B L_1}$ を $1/2 V_{cc}$ にプリチャージ、イコライズする。また、同時に電位切

り替え手段 7 の第1スイッチングトランジスタ $F R_1$ を V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ は V_{ss} (オフ) に変化させてプレートライン電位を $1/2 V_{cc}$ にしておく。これらのすべてが完了すると D R A M モード動作信号 \overline{DR} を L レベルから H レベルに引き上げる。これによりメモリが不揮発記憶モードに移行したことが示される。外部ではこの信号が出されると同時にリフレッシュ回路を停止させる必要がある。また内部的にはダミーセルが不揮発記憶モード用のものに切り替えられる。

切り替え信号 \overline{CHG} を H レベルにし、チップイネーブル \overline{CE} を H レベルにすることにより D R A M モードから不揮発記憶モードへの切り替えサイクルが終了する。

② V_{pc} が V_{ss} 、 V_{pl} が V_{cc} のモード切り替え
プリチャージ電位 V_{pc} を V_{ss} 、プレートライン電位 V_{pl} を V_{cc} として選んだ場合の動作を第21図のタイミングチャートを参照して説明する。

D R A M モードの情報の読み出しを V_{ss} フロー

タイミングで行ったセンスアンプ 5によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位を決定する。この状態のまま電位切り替え手段 7の第1スイッチングトランジスタ $F R_1$ を V_{ss} から V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{cc} から V_{ss} (オフ) に変化させてプレートライン電位を V_{cc} から $1/2 V_{cc}$ にする。以後の動作は、前述したのと同様である。このようにして強誘電体の電荷の有無による情報を分極方向に対応させることができる。

③ V_{pc} が V_{cc} 、 V_{pl} が V_{ss} のモード切り替えブリチャージ電位 V_{pc} を V_{cc} 、プレートライン電位 V_{pl} を V_{ss} として選んだ場合の動作を第22図のタイミングチャートを参照して説明する。

D R A Mモードの情報の読み出しを V_{cc} フローティングで行った後、センスアンプ 5によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位を決定する。この状態のまま電位切り替え手段 7の第1スイッチングトランジスタ $F R_1$ を V_{ss} から V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{cc} から

⑤ ビット線ブリチャージ電位が $1/2 V_{cc}$ 、 V_{pl} が V_{cc} のモード切り替え

ブリチャージ電位を第2イコライズ回路 4の電位である $1/2 V_{cc}$ とし、プレートライン電位 V_{pl} を V_{cc} にする場合の動作を第24図のタイミングチャートを参照して説明する。

チップが選択されていない時には、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は第2イコライズ回路 4によって $1/2 V_{cc}$ にブリチャージ、イコライズされている。

この場合は、第1イコライズ回路 3は動作せず、第2クロック信号 ϕ_2 を V_{ss} にして、ビット線対 $B L_1$ 、 $\overline{B L_1}$ のブリチャージ、イコライズを解除すると、ビット線対 $B L_1$ 、 $\overline{B L_1}$ は $1/2 V_{cc}$ レベルに保たれたままフローティング状態になる。D R A Mモードの情報の読み出しを $1/2 V_{cc}$ フローティングで行った後、センスアンプ 5によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位は決定される。この状態のまま電位切り替え手段 7の第1スイッチングトランジスタ $F R_1$ を V_{ss} から V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{cc} から

V_{ss} (オフ) に変化させてプレートライン電位 V_{ss} から $1/2 V_{cc}$ にする。以後の動作は、前述したのと同様である。このようにして強誘電体の電荷の有無による情報を分極方向に対応させることができる。

④ V_{pc} が V_{ss} 、 V_{pl} が V_{ss} のモード切り替えブリチャージ電位 V_{pc} 及びプレートライン電位 V_{pl} を共に V_{ss} として選んだ場合の動作を第23図のタイミングチャートを参照して説明する。

D R A Mモードの情報の読み出しを V_{ss} フローティングで行った後、センスアンプ 5によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位を決定する。この状態のまま電位切り替え手段 7の第1スイッチングトランジスタ $F R_1$ を V_{ss} から V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{cc} から V_{ss} (オフ) に変化させてプレートライン電位を V_{ss} から $1/2 V_{cc}$ にする。以後の動作は、前述したのと同様である。このようにして強誘電体の電荷の有無による情報を分極方向に対応させることができる。

V_{ss} (オフ) に変化させてプレートライン電位を V_{cc} から $1/2 V_{cc}$ にする。以後の動作は、前述したのと同様である。このようにして強誘電体の電荷の有無による情報を分極方向に対応させることができる。

⑥ ビット線ブリチャージ電位が $1/2 V_{cc}$ 、 V_{pl} が V_{ss} のモード切り替え

ブリチャージ電位 V_{pc} を第2イコライズ回路 4の電位である $1/2 V_{cc}$ とし、プレートライン電位 V_{pl} を V_{ss} にする場合の動作を第24図のタイミングチャートを参照して説明する。

D R A Mモードの情報の読み出しを $1/2 V_{cc}$ フローティングで行った後、センスアンプ 5によりビット線対 $B L_1$ 、 $\overline{B L_1}$ の電位を決定する。この状態のまま電位切り替え手段 7の第1スイッチングトランジスタ $F R_1$ を V_{ss} から V_{cc} (オン)、第2スイッチングトランジスタ $F R_2$ を V_{cc} から V_{ss} (オフ) に変化させてプレートライン電位を V_{ss} から $1/2 V_{cc}$ にする。以後の動作は、前述したのと同様である。このようにして強誘電体の電

荷の有無による情報を分極方向に対応させることができる。

以上説明した実施例3によれば、電源印加中はD R A Mモードで動作させ、強誘電体の分極反転回数を減らし、電源を切る前に不揮発記憶モードに移行してメモリの情報を保持することが可能な強誘電体メモリを得ることができる。

実施例4

第4図は、1つのワード線(WL₁)に繋がる強誘電体コンデンサMC及びスイッチングトランジスタMFからなるメモリセルと強誘電体コンデンサMC'及びスイッチングトランジスタMF'からなるメモリセルとを1ビットとし、いずれか一方のセルをダミーセルとし、他の構成は前述した実施例3と同様にした強誘電体メモリである。この強誘電体メモリにおいては、一方のメモリセルの強誘電体コンデンサの強誘電体層と他方のメモリセルの強誘電体コンデンサの強誘電体の分極を逆にし、その分極の組み合わせにより1ビットの情報を記憶する。かかる構成によれば、センス

アンプ5はプリチャージ後、ワードラインWL₁をV_{ss}からV_{cc}にした時にどちらの強誘電体コンデンサに繋がるビット線対BL₁、BL₁'の電位が高いかを判定することによりデータが得られるため、前述した実施例3のようにダミーセルを設けることが不要になると共にノイズに強くなり、信頼性を向上できる。その上、不揮発記憶モードとD R A Mモードの切り替えの際にダミーセルを切り替える操作も不要になる。ビット線のプリチャージ電位としてV_{ss}やV_{cc}、D R A Mモードでは1/2V_{cc}も取り得るのは実施例3と同様である。また、V_{pl}としてV_{ss}もV_{cc}も取り得る。これらの場合におけるタイミングチャートも、前述した第8図～第25図に示した通りである。

[発明の効果]

以上詳述した如く、本発明によれば従来のD R A Mと同様な構造、回路構成で不揮発性を有し、リフレッシュが不要な高集積度の強誘電体メモリを提供できる。また、本発明の別の強誘電体メモリによればD R A Mモードと不揮発性モード

を切り替えて使用することが可能で、強誘電体の分極に伴うアクセスタイムの遅れや強誘電体の分極疲労現象による寿命低下を回避できる等顕著な効果を奏する。

4. 図面の簡単な説明

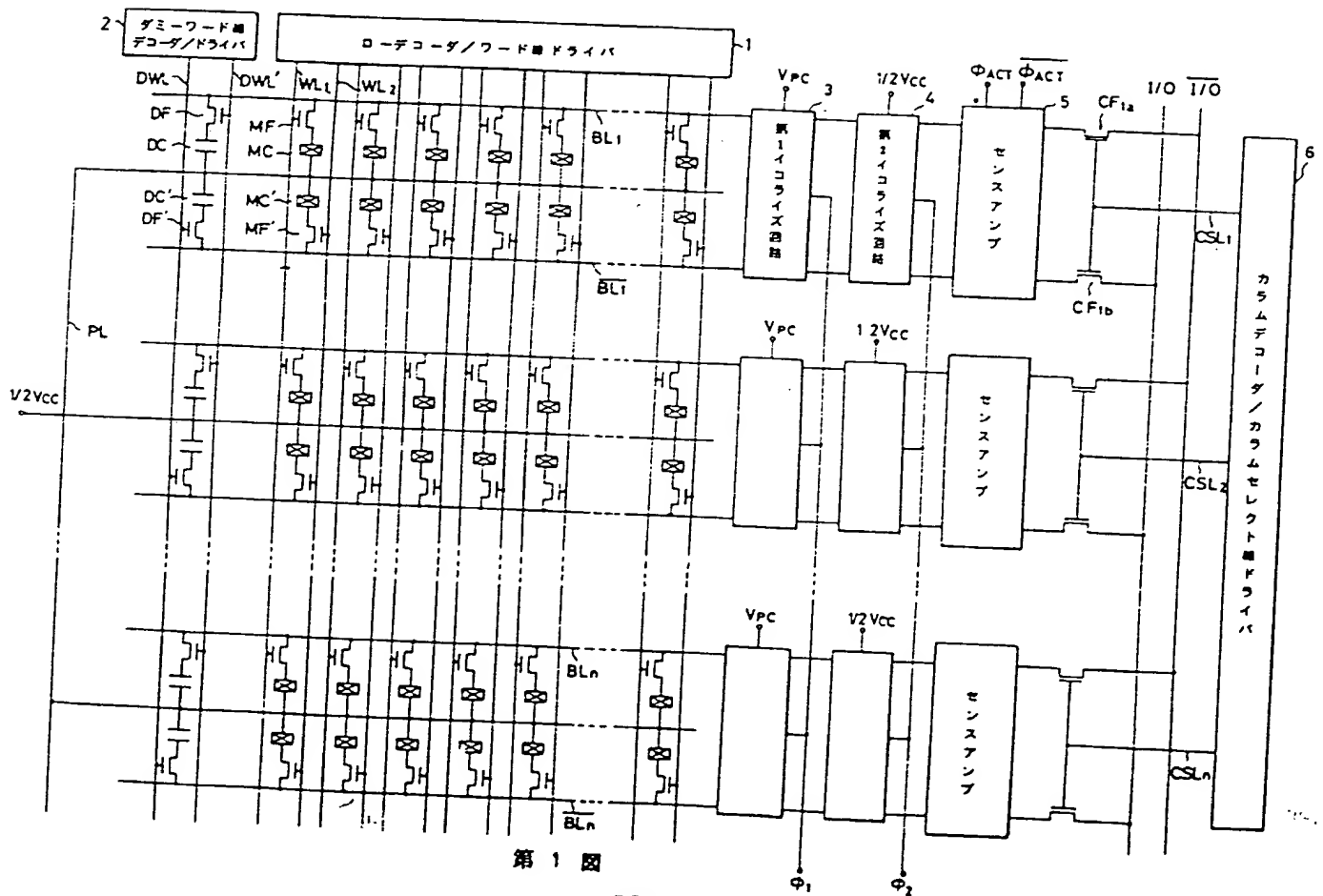
第1図は本発明の実施例1における強誘電体メモリの回路図、第2図は本発明の実施例2における強誘電体メモリの回路図、第3図は本発明の実施例3における強誘電体メモリの回路図、第4図は本発明の実施例4における強誘電体メモリの回路図、第5図は本実施例1の強誘電体メモリの書き込み動作を説明するタイミングチャート、第6図は本実施例1の強誘電体メモリの読み出し動作を説明するタイミングチャート、第7図は本実施例1の強誘電体メモリの他の読み出し動作を説明するタイミングチャート、第8図～第11図はそれぞれ本実施例3における強誘電体メモリの不揮発性モードからD R A Mモードへの切り替えを説明するためのタイミングチャート、第12図は本実施例3における強誘電体メモリのD R A Mモード

の書き込み動作を説明するためのタイミングチャート、第13図は本実施例3における強誘電体メモリの他のD R A Mモードの書き込み動作を説明するためのタイミングチャート、第14図～第19図はそれぞれ本実施例3における強誘電体メモリのD R A Mモードの読みだし動作を説明するためのタイミングチャート、第20図～第25図はそれぞれ本実施例3における強誘電体メモリのD R A Mモードから不揮発性モードへの切り替え動作を説明するためのタイミングチャート、第26図は強誘電体の印加電圧と分極の関係を示すヒステリシス特性図、第27図は強誘電体キャパシタの第1、第2の電極の配置を示す概略図である。

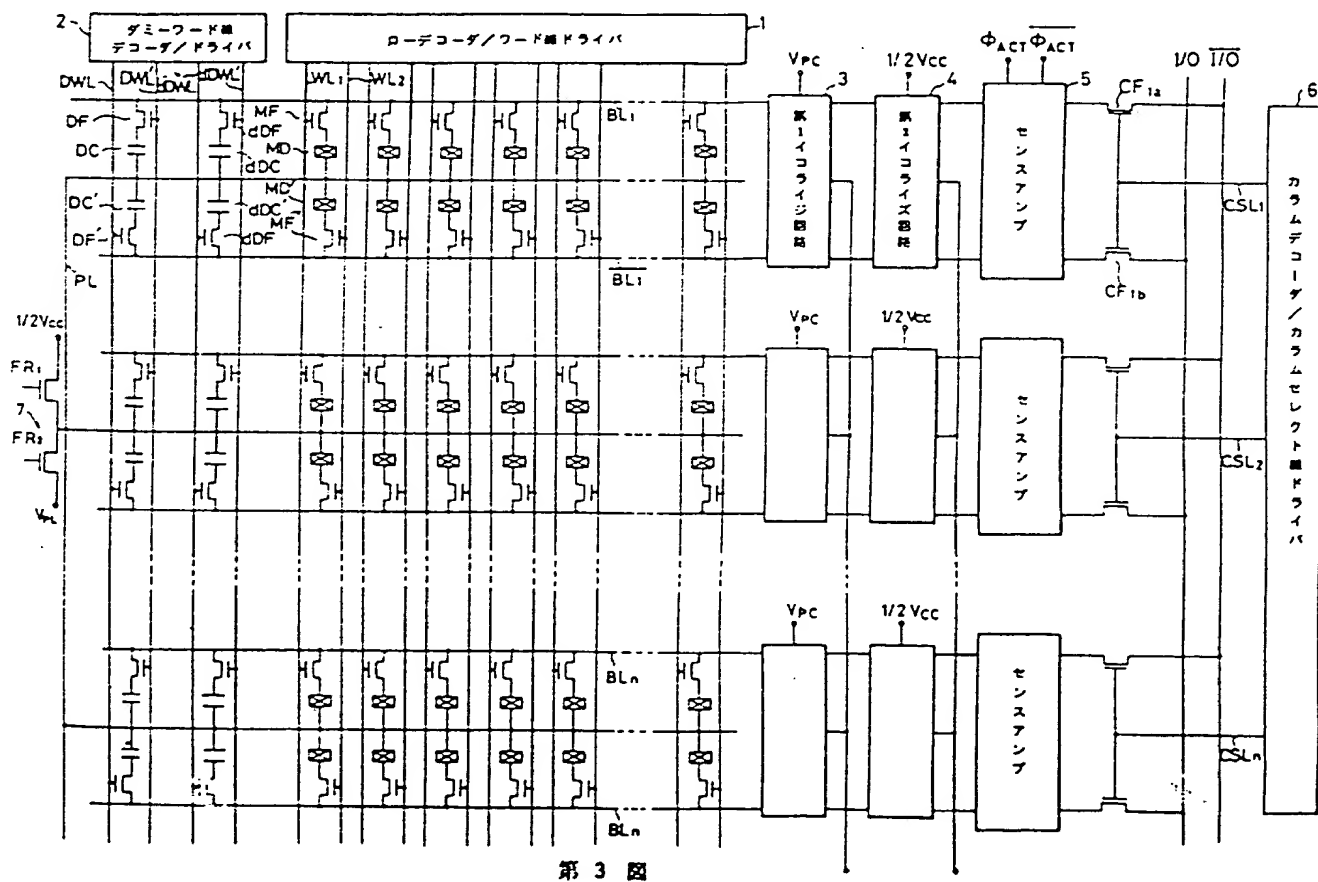
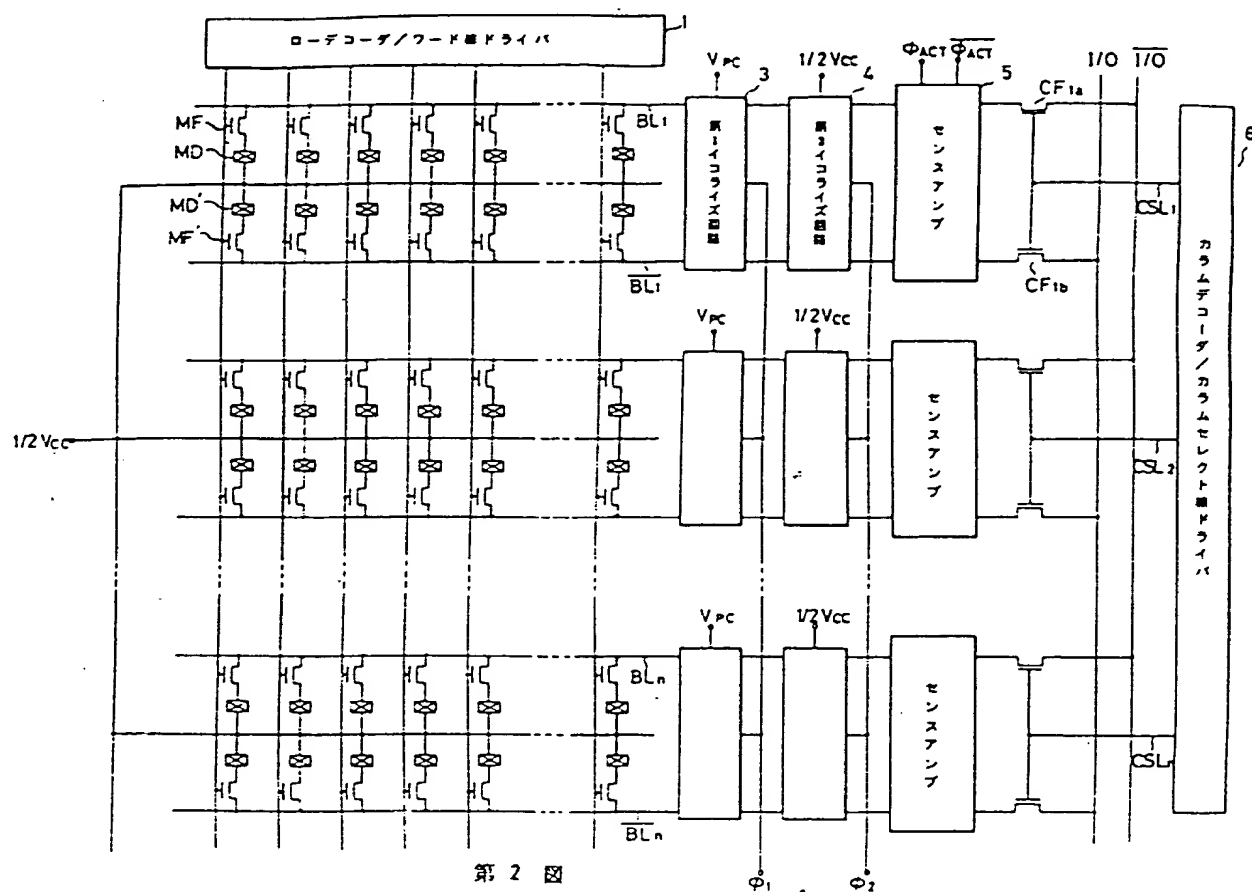
1…ローデコーダ/ワード線ドライバ、2…ダミーワード線デコーダ/ドライバ、3…第1イコライズ回路、4…第2イコライズ回路、5…センスアンプ、6…カラムデコーダ・カラムセレクト線ドライバ、7…電位切り替え手段、WL₁、WL₂…ワード線、DWL、DWL'…ダミーワード線、dDWL、dDWL'…D R A Mモード

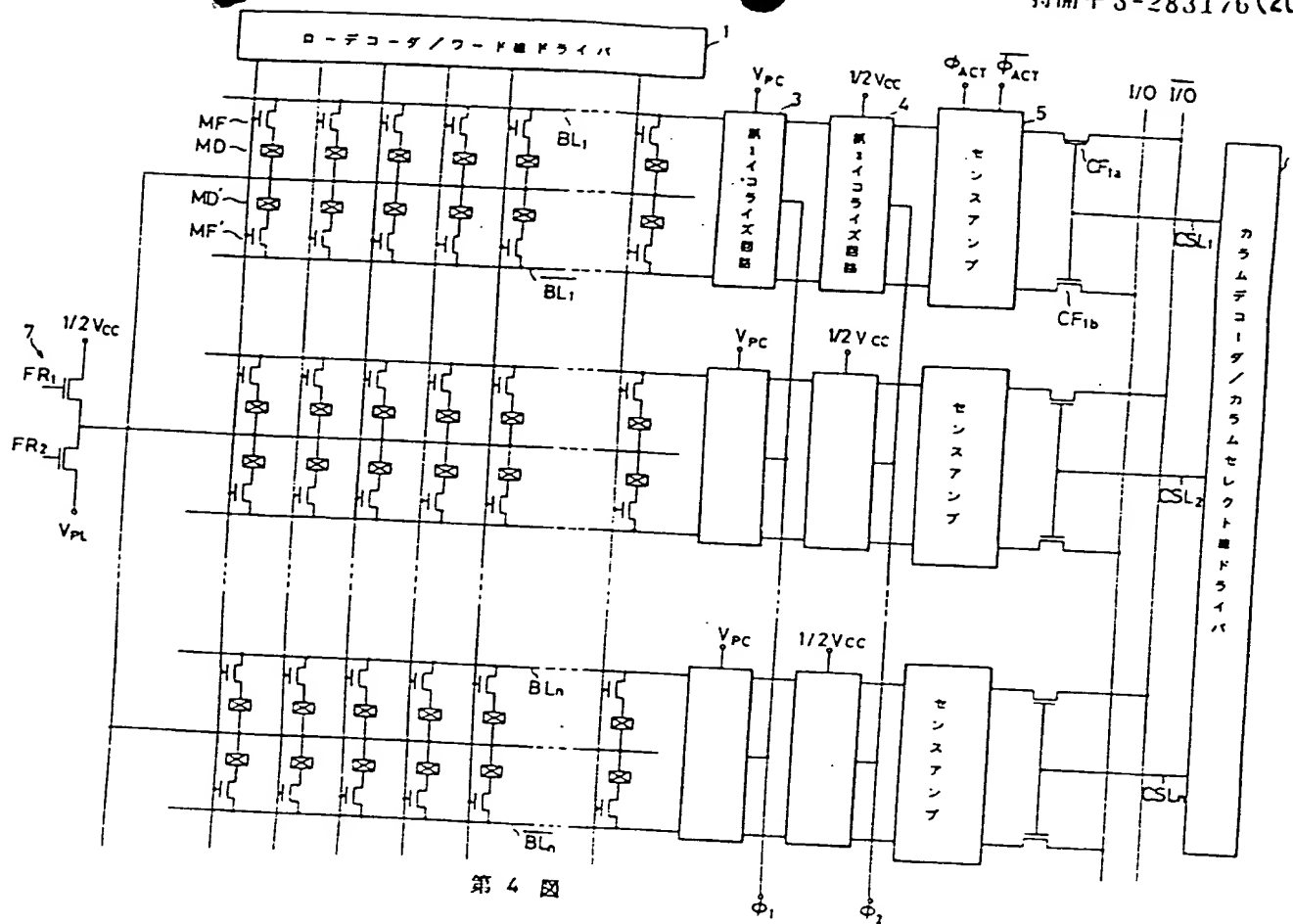
用ダミーワード線、 \overline{BL}_1 、 \overline{BL}_1 …ビット線対、
 MC 、 MC' …強誘電体コンデンサ、 DC 、 DC' …
 …参照用常誘電体コンデンサ、 dDC 、 dDC' …
 常誘電体キャパシタ、 MF 、 MF' 、 DF 、 DF' …
 …スイッチングトランジスタ、 FR_1 …第1スイ
 ッチングトランジスタ、 FR_2 …第2スイッ
 チングトランジスタ、 ϕ_1 、 ϕ_2 …クロック信号、
 ϕ_{ACT} 、 $\overline{\phi}_{ACT}$ …センスアンプ信号、 I/O 、
 $\overline{I/O}$ …データ入出力線。

出願人代理人 弁理士 鈴江武彦

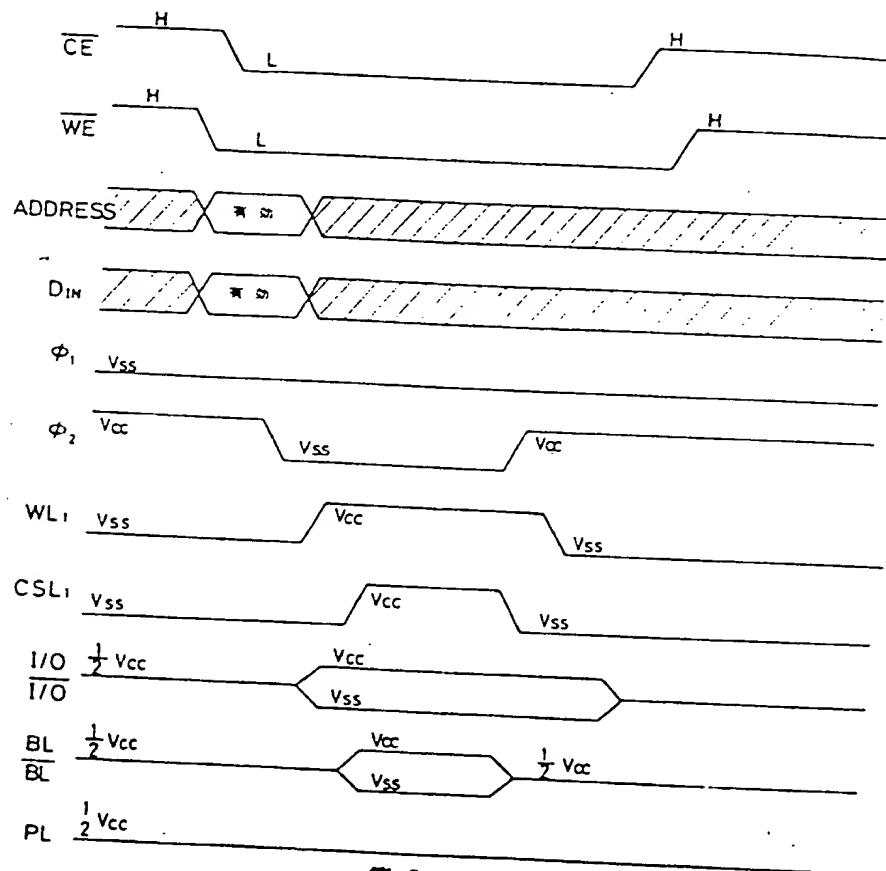


第1図

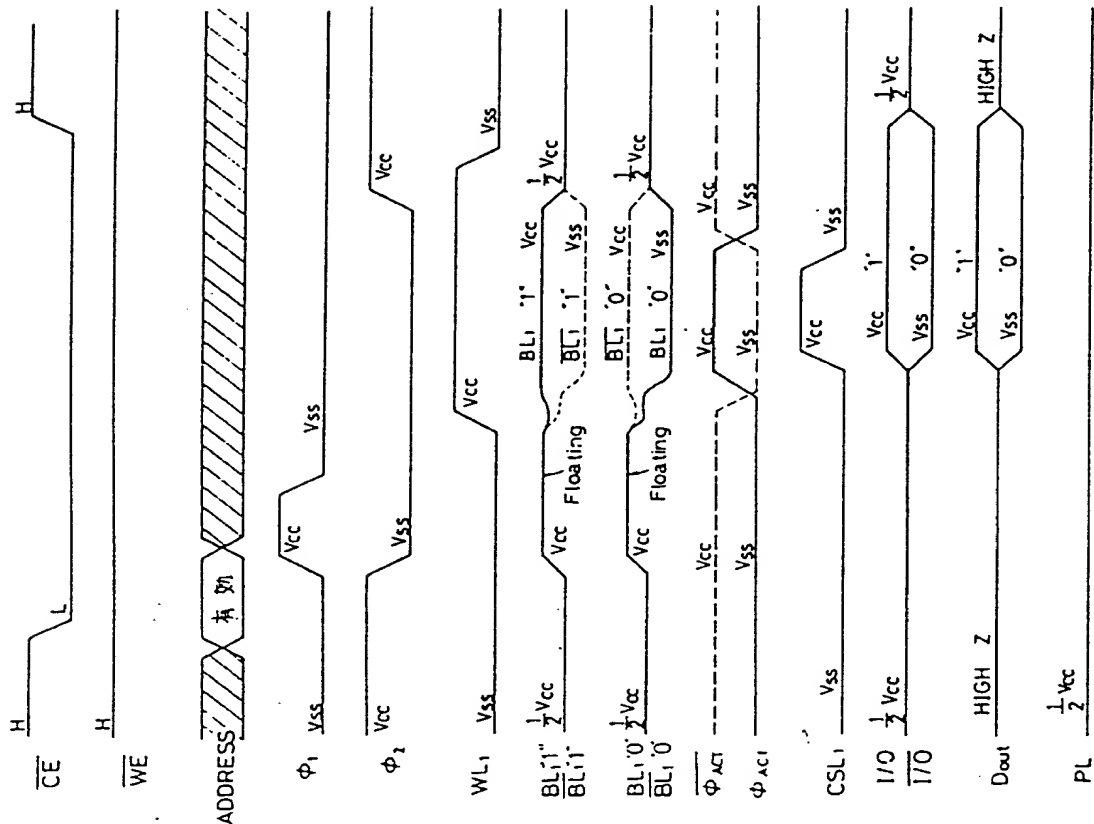




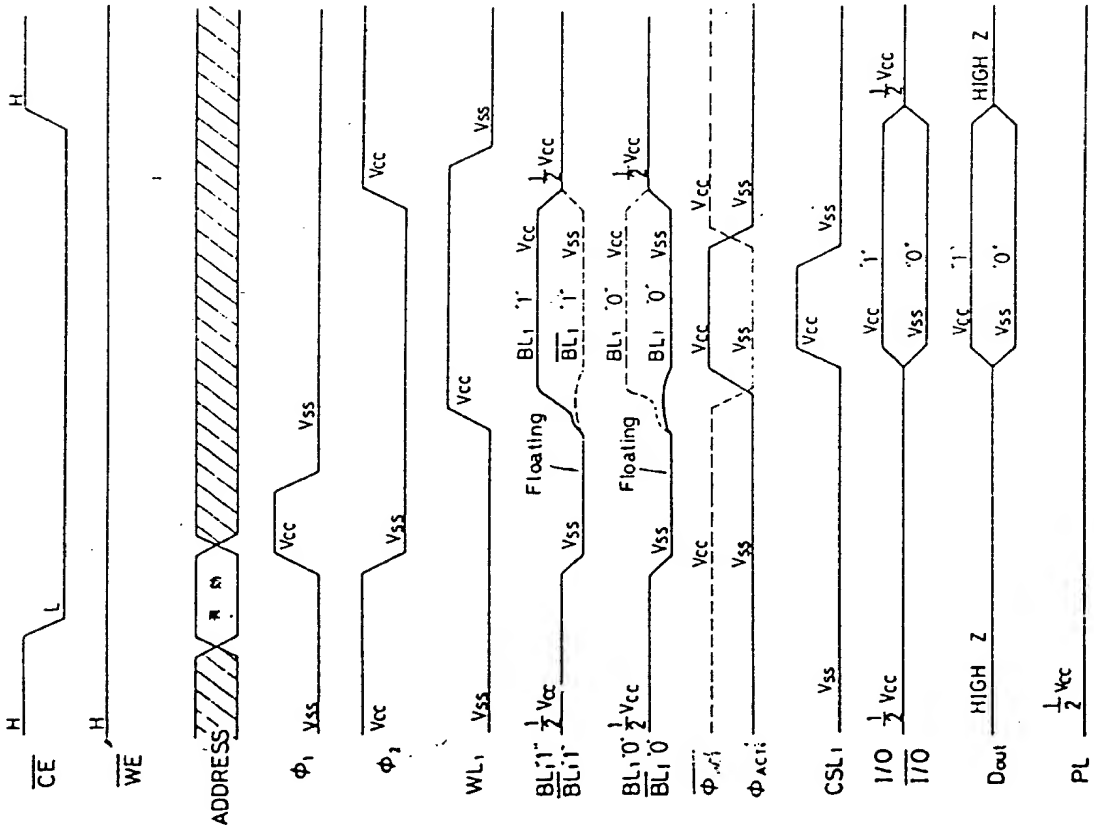
第 4 図



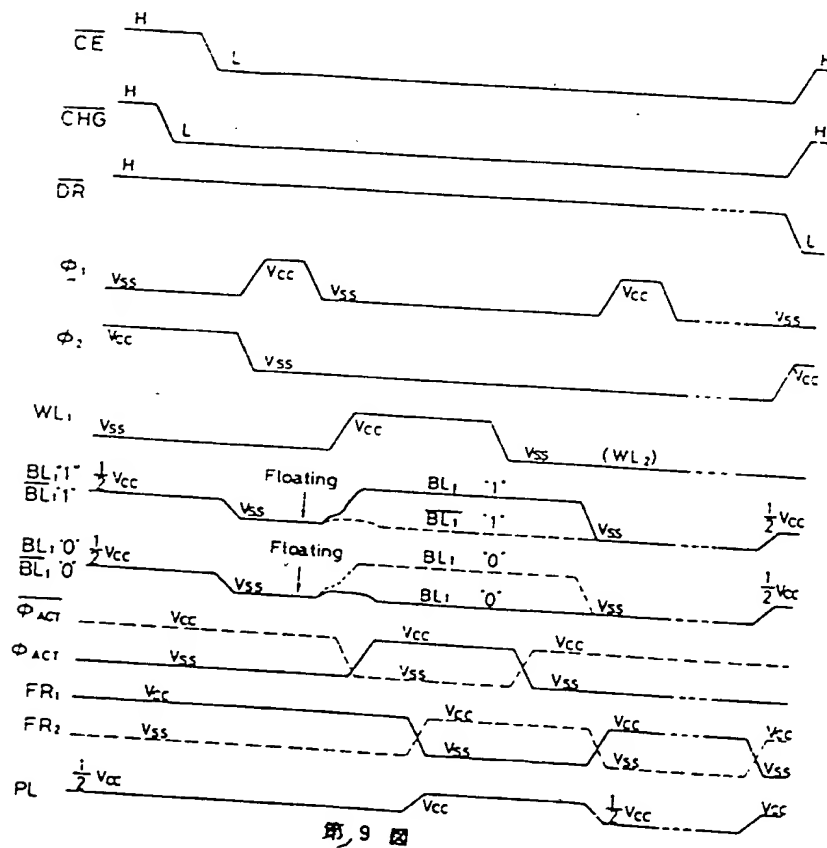
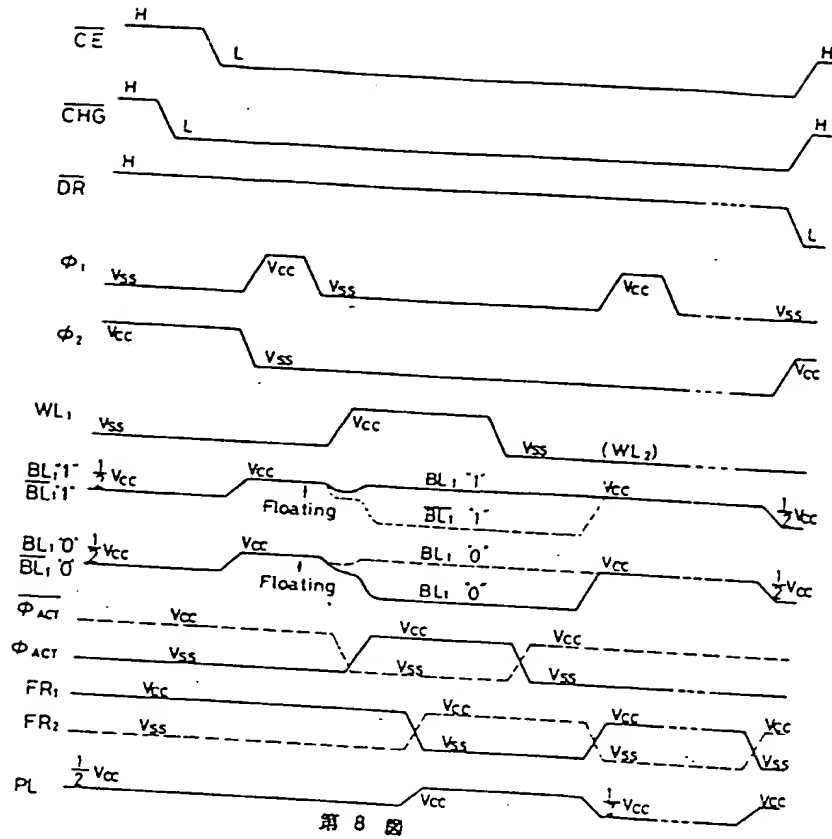
第 5 図

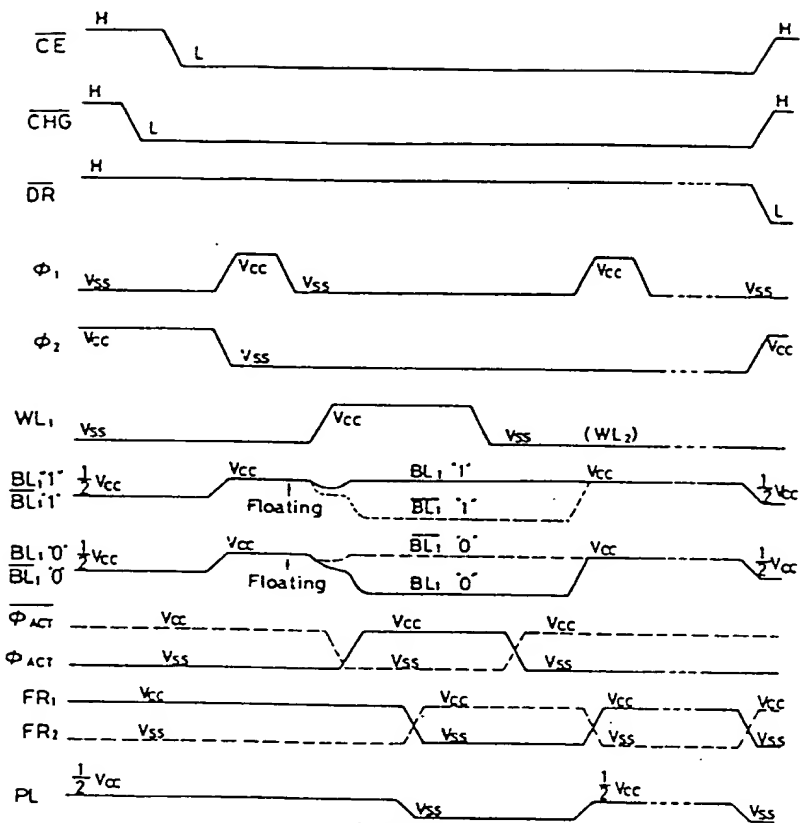


第 6 図

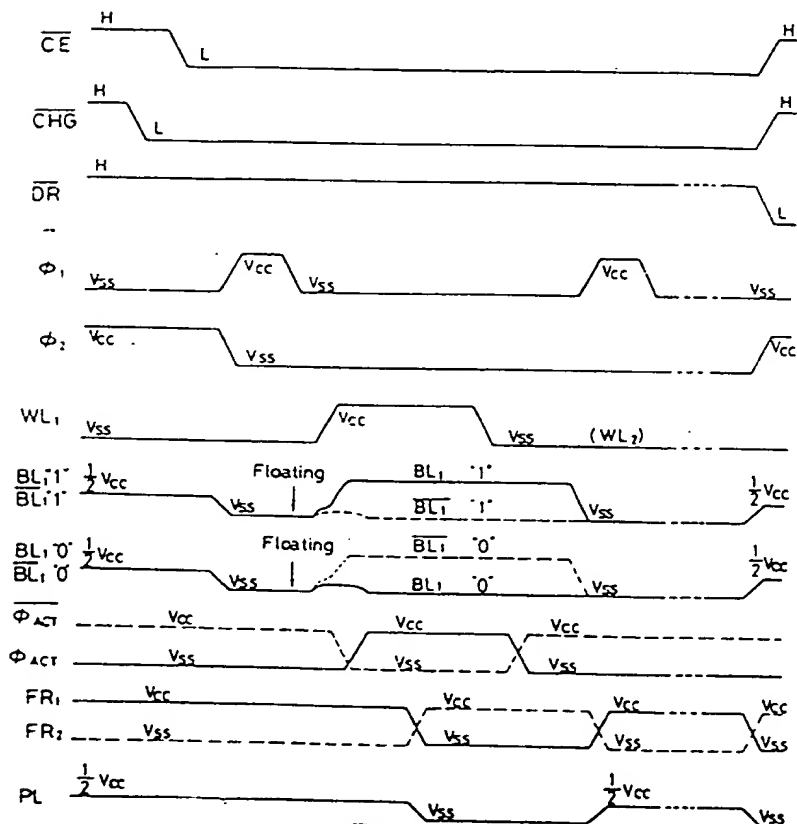


第 7 図





第 10 図



第 11 図

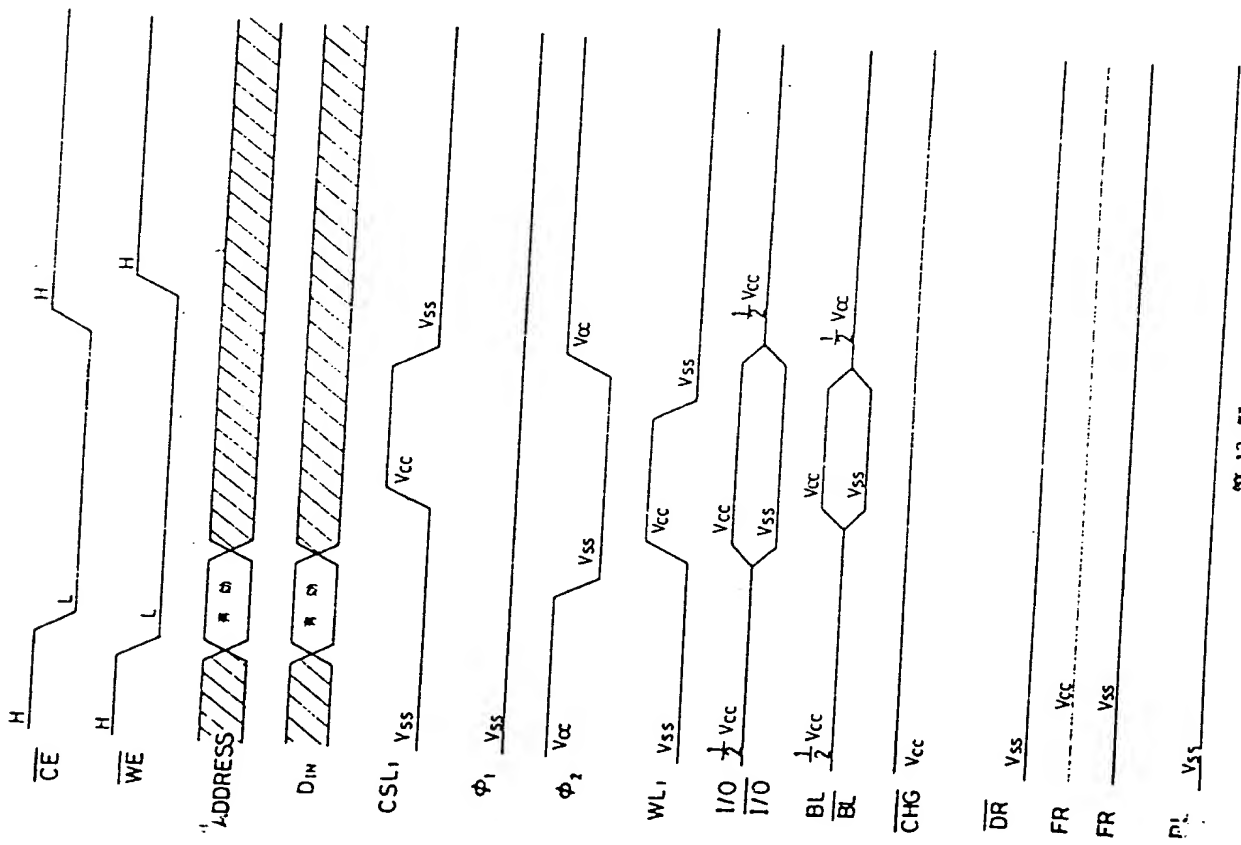


図 13

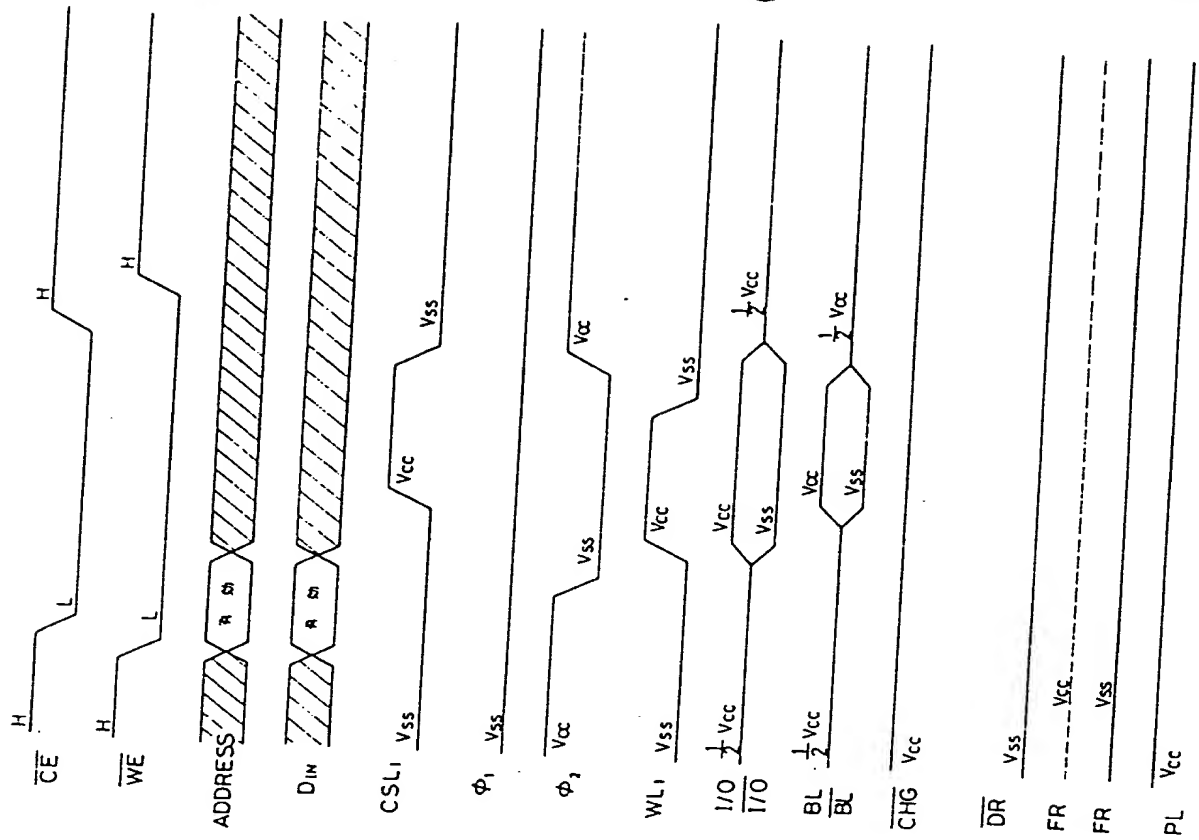
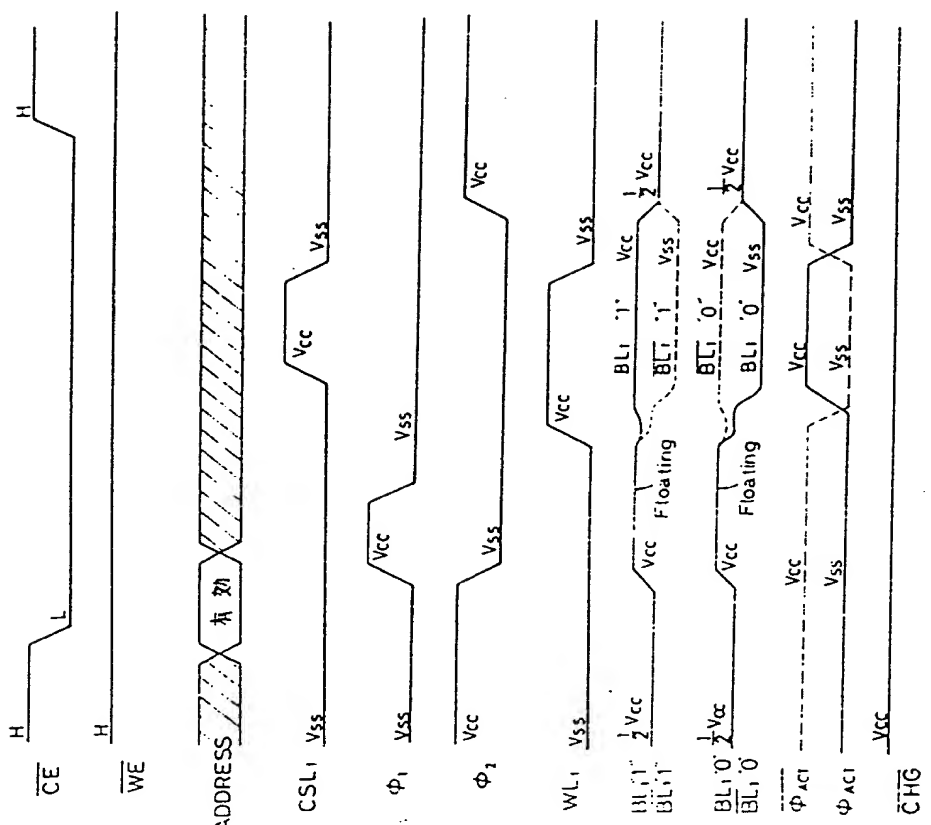
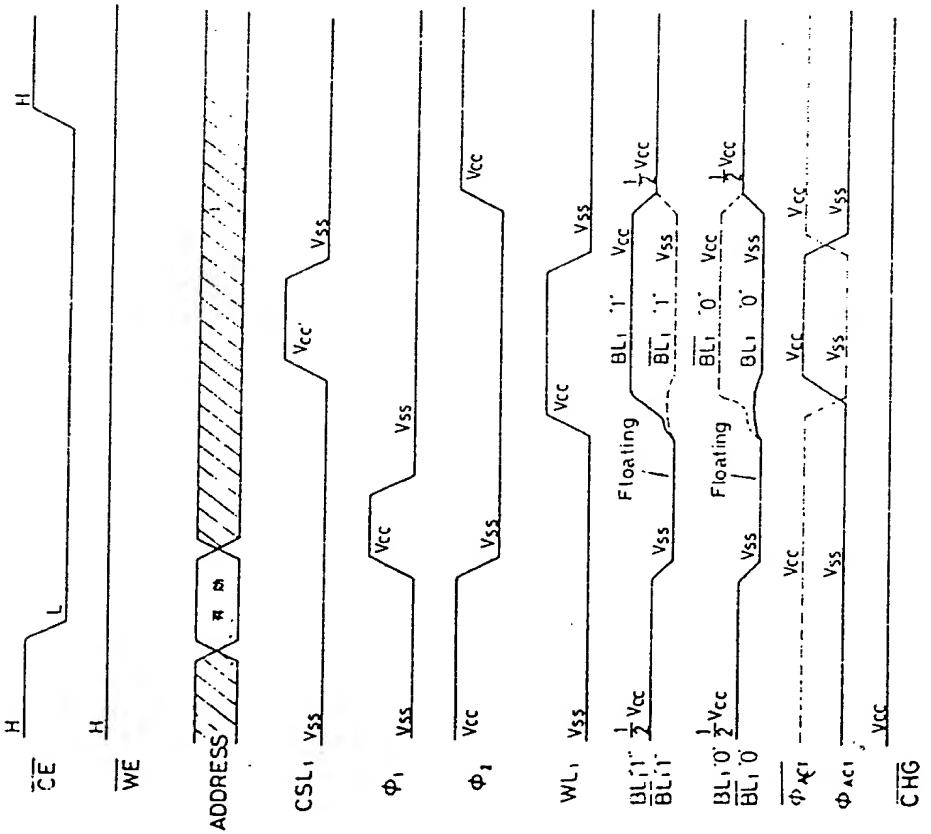


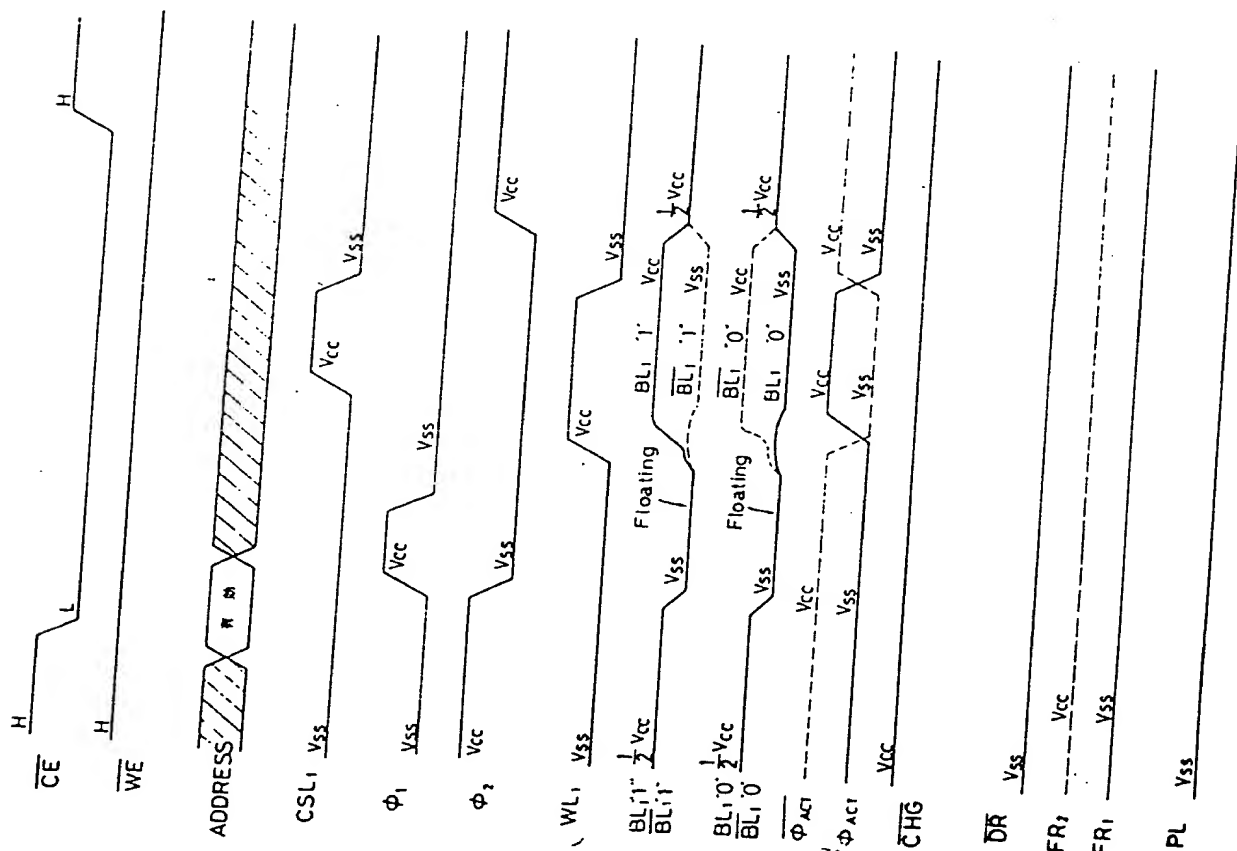
図 12



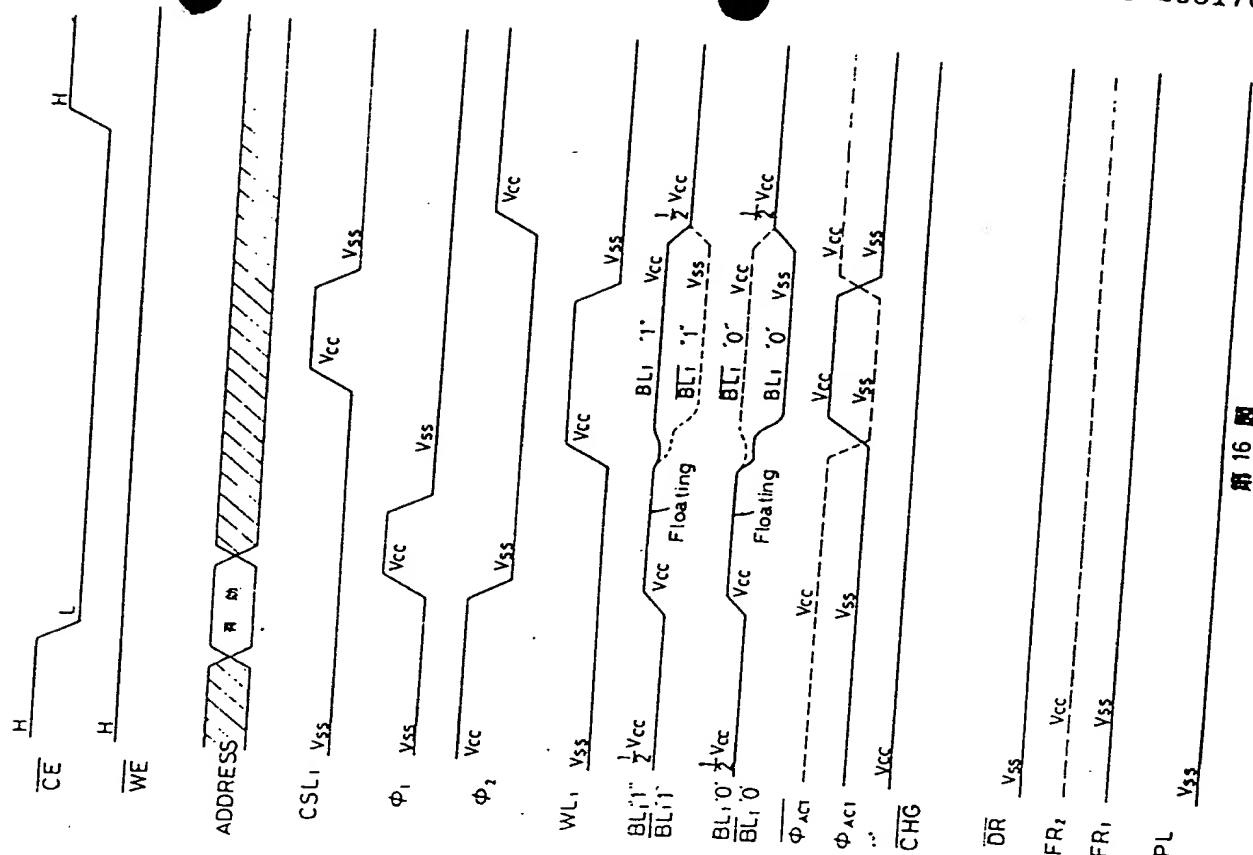
第 14 図



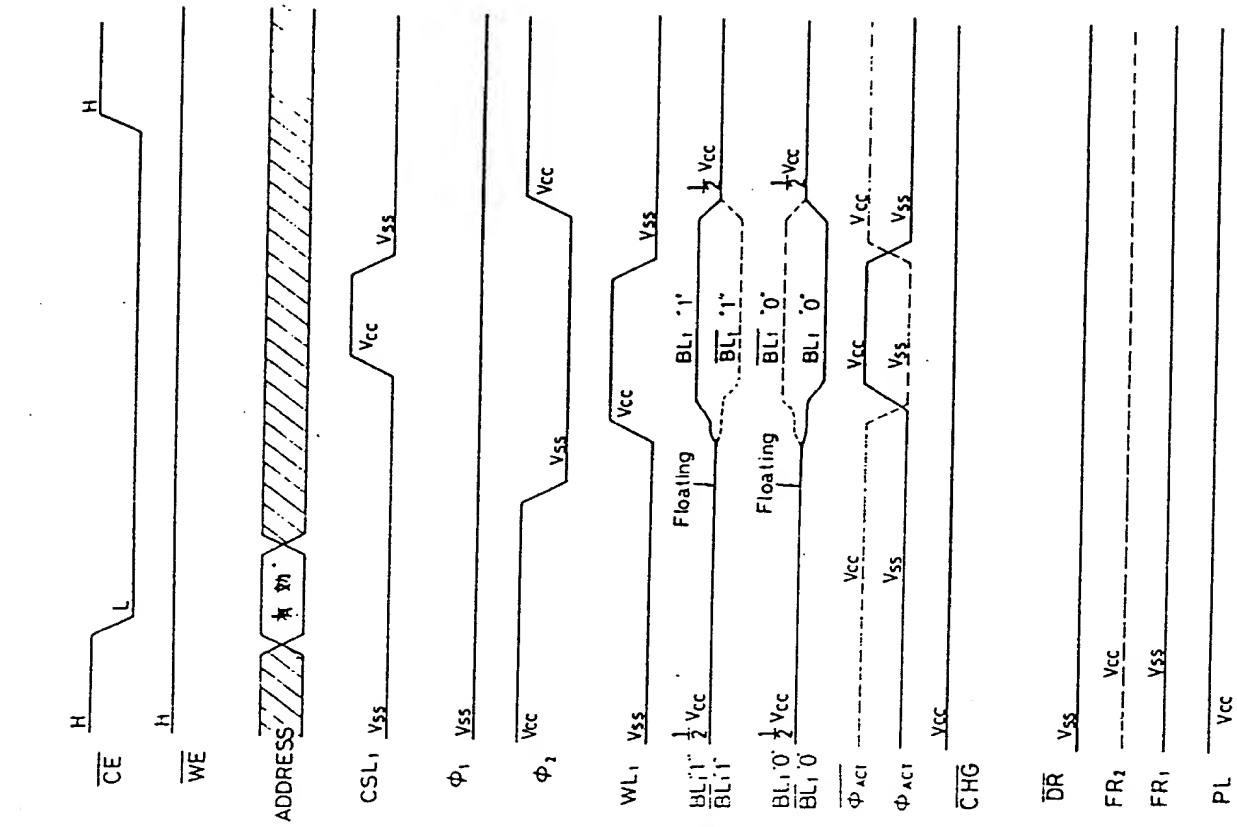
第 15 図



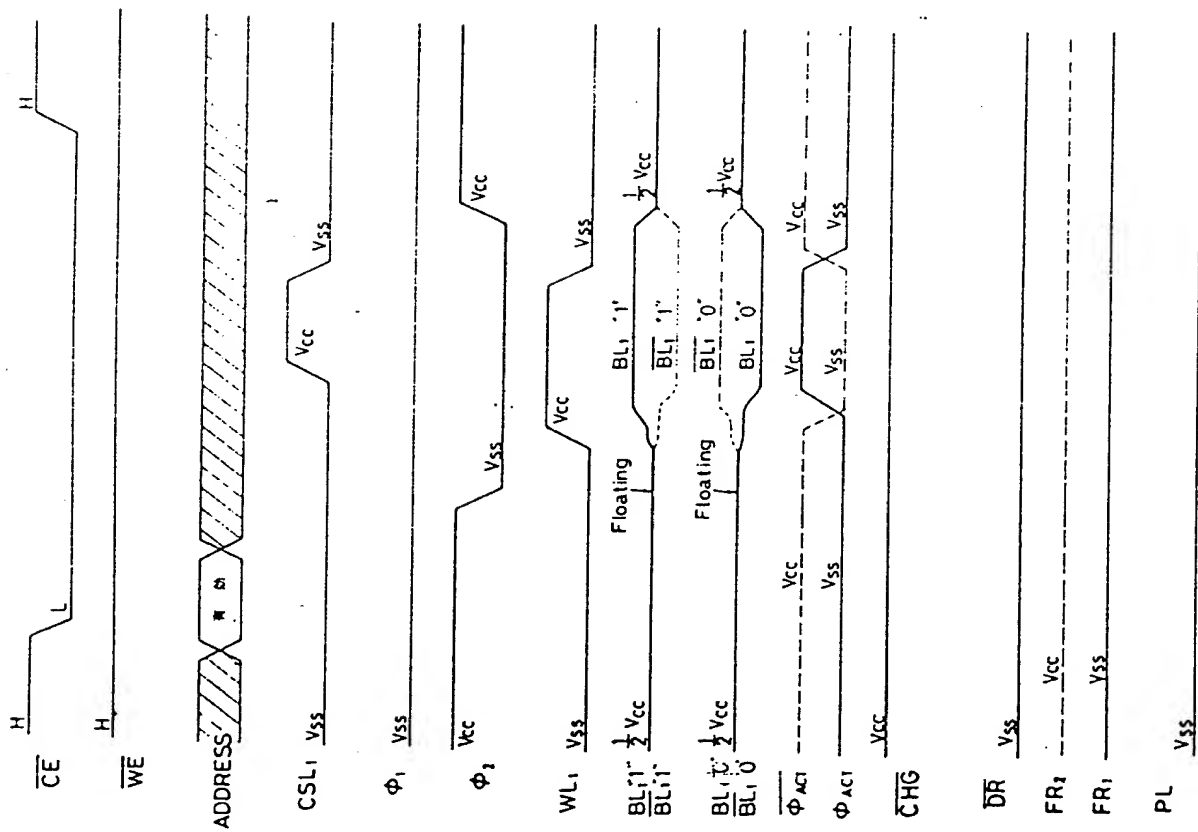
第 17 図



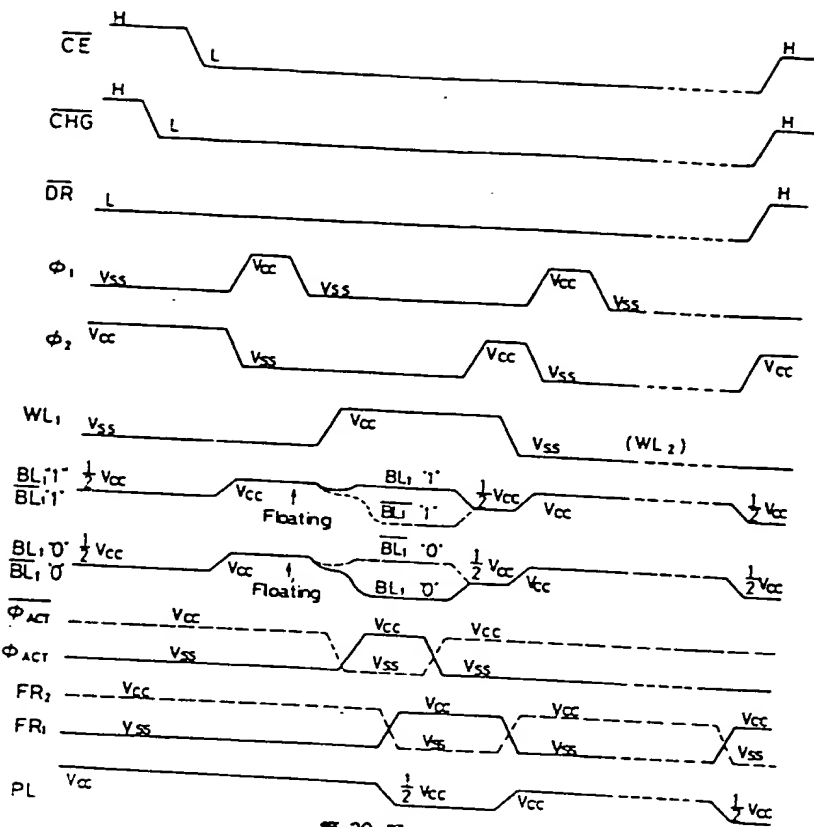
第 16 図



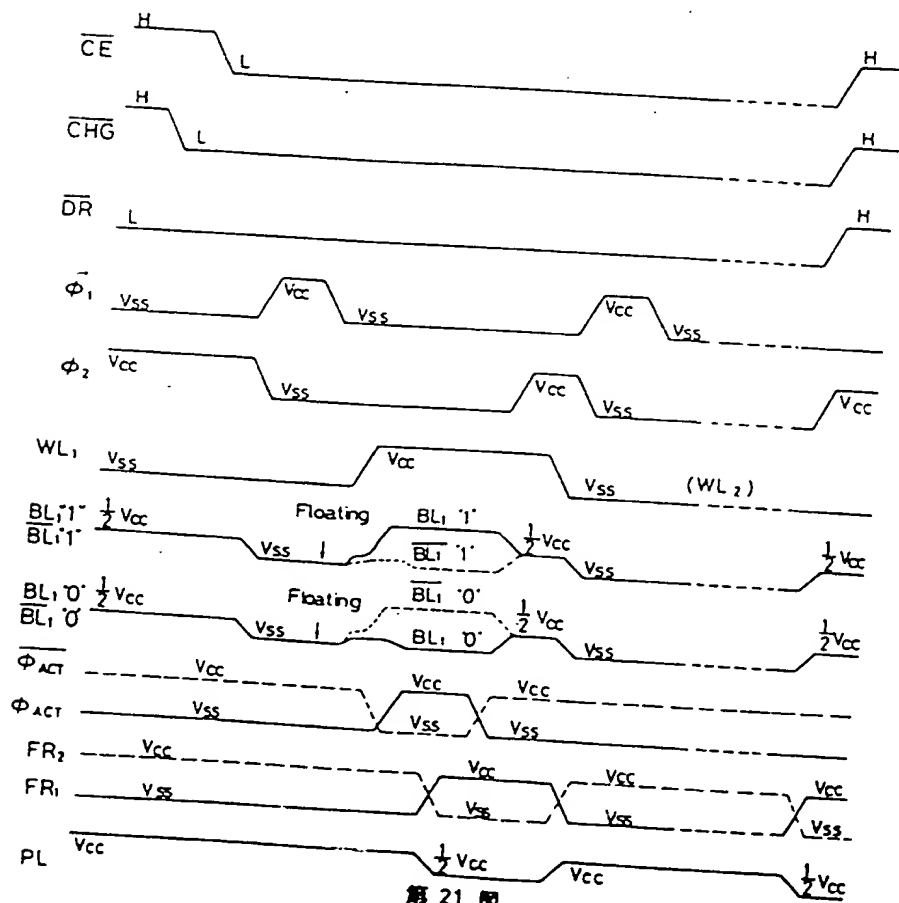
第 18 図



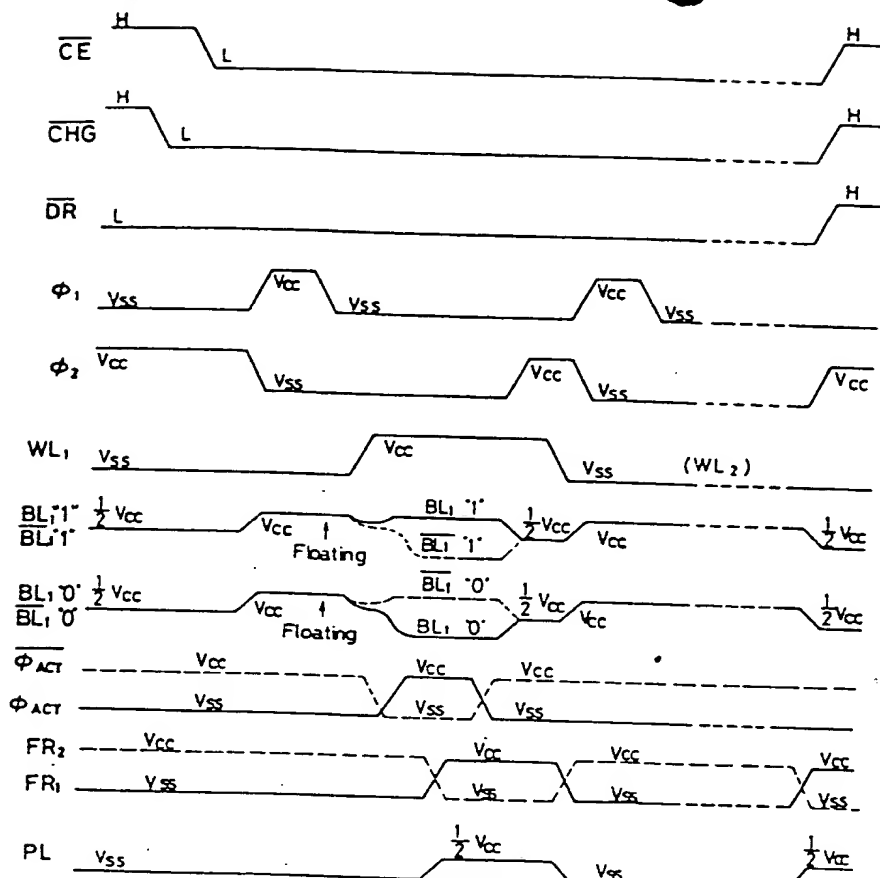
第 19 図



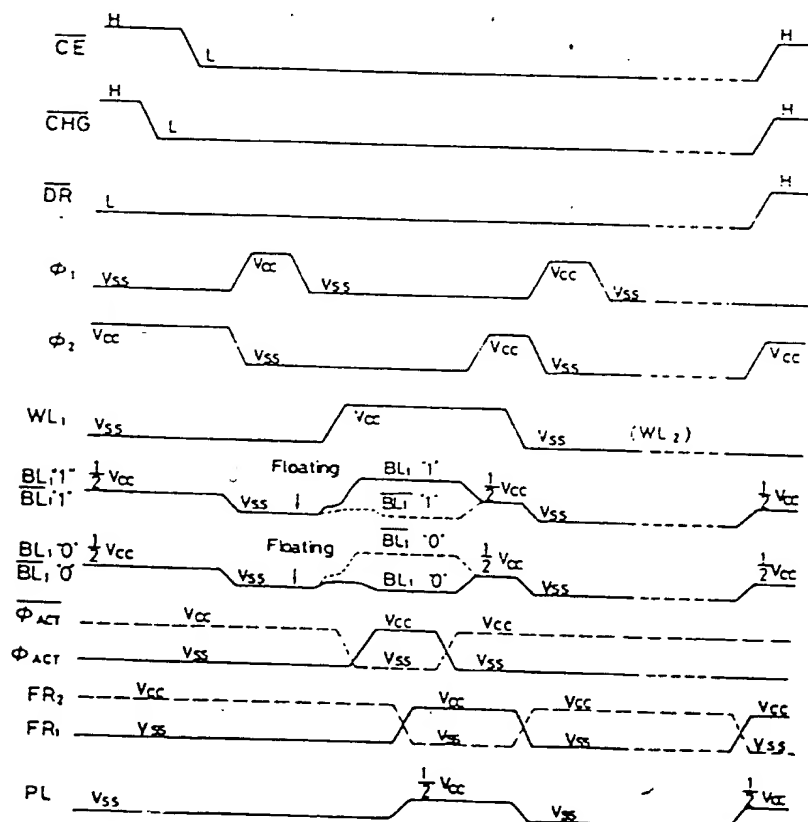
第 20 図



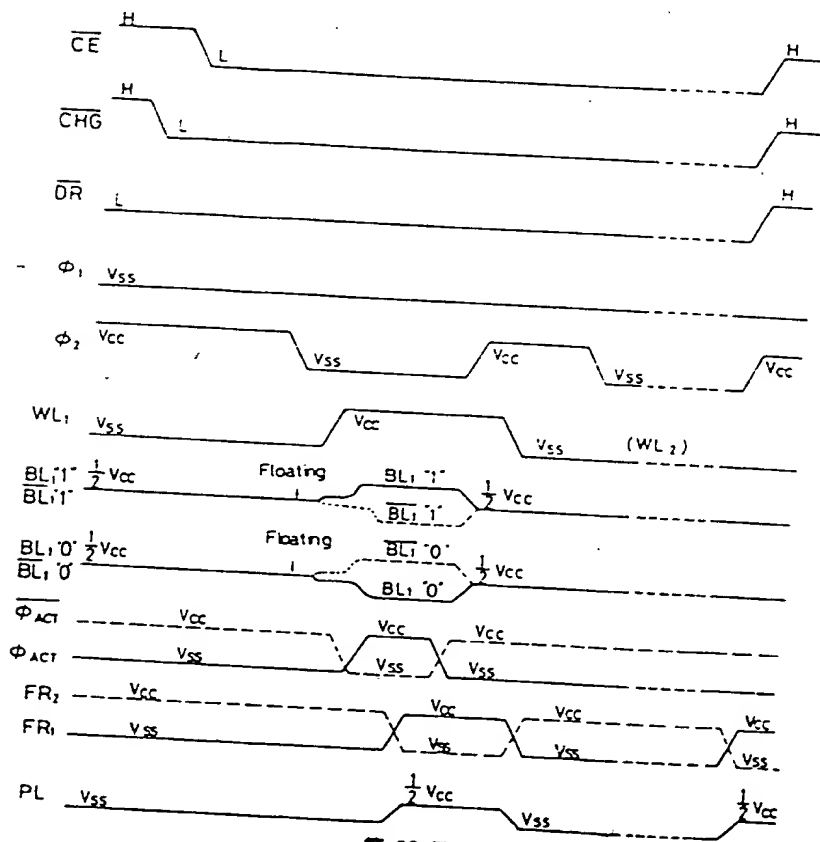
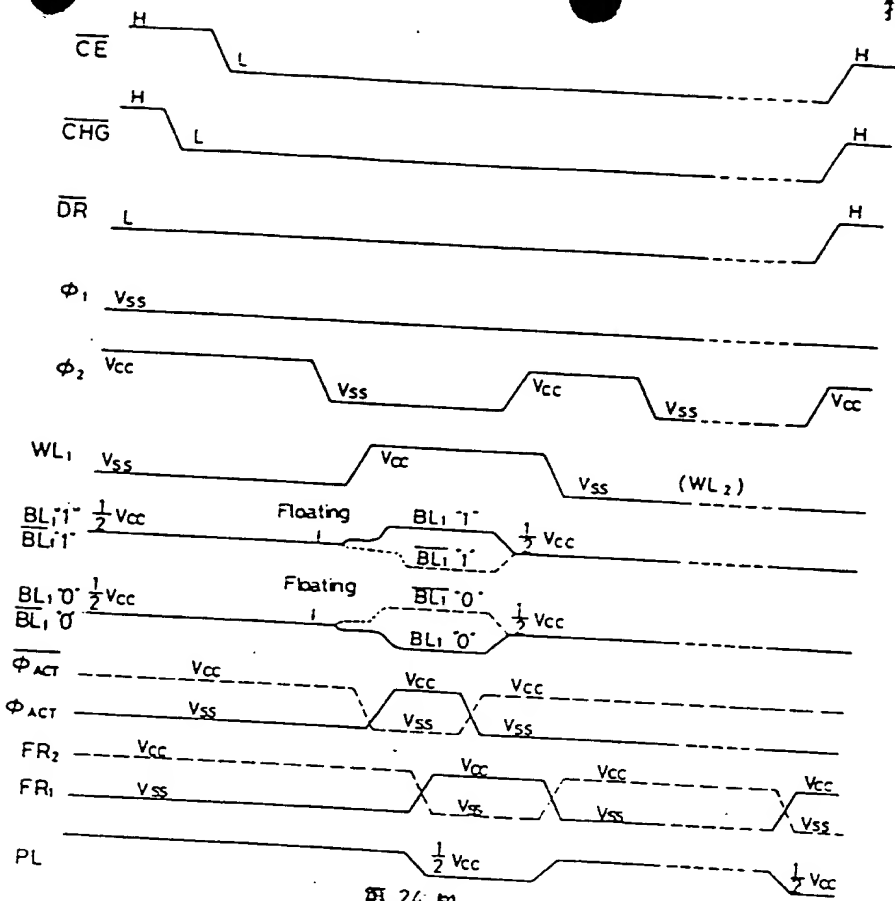
第 21 図



第 22 図



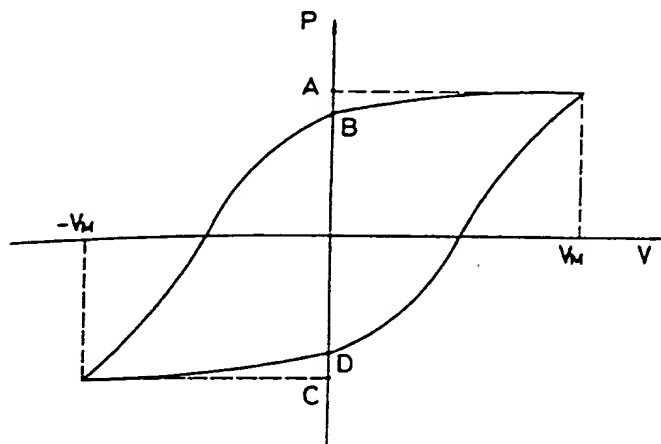
第 23 図



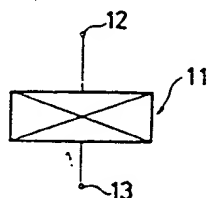
手続補正書

平成 2.5.8 日

特許庁長官 吉田 文 設 殿



第 26 図



第 27 図

1. 事件の表示

特願平2-84680号

2. 発明の名称

強誘電体メモリ

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

東京都千代田区薮が関3丁目7番2号

〒100 電話 03(502)3181(大代表)

(5847) 弁理士 鈴 江 武 彦

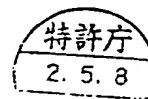
5. 自 発 補 正

6. 補正の対象

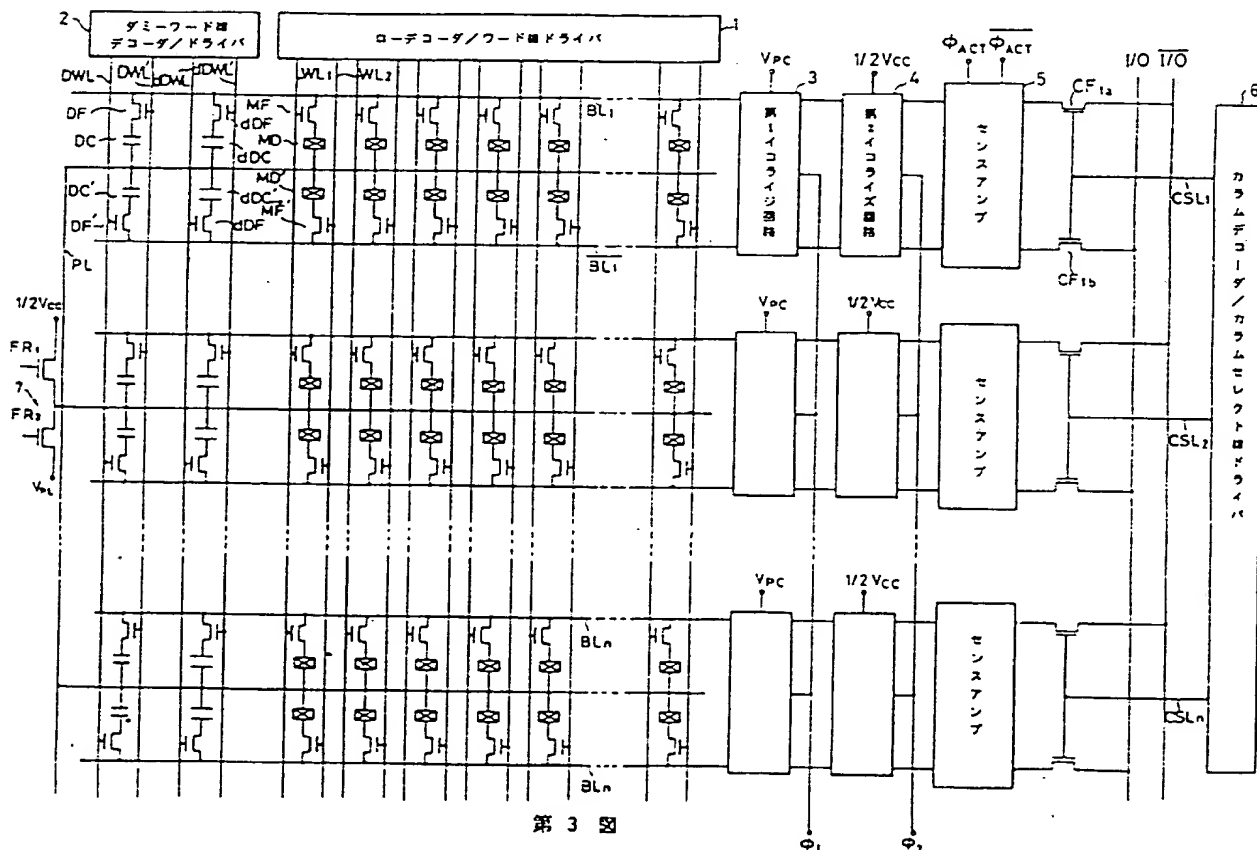
図 面

7. 補正の内容

図面の第3図を別紙の如く訂正する。



方 式 査 閲



第 3 図